

# Feldeffekttransistoren: JFET, MESFET und MOSFET

Matthias Kreier

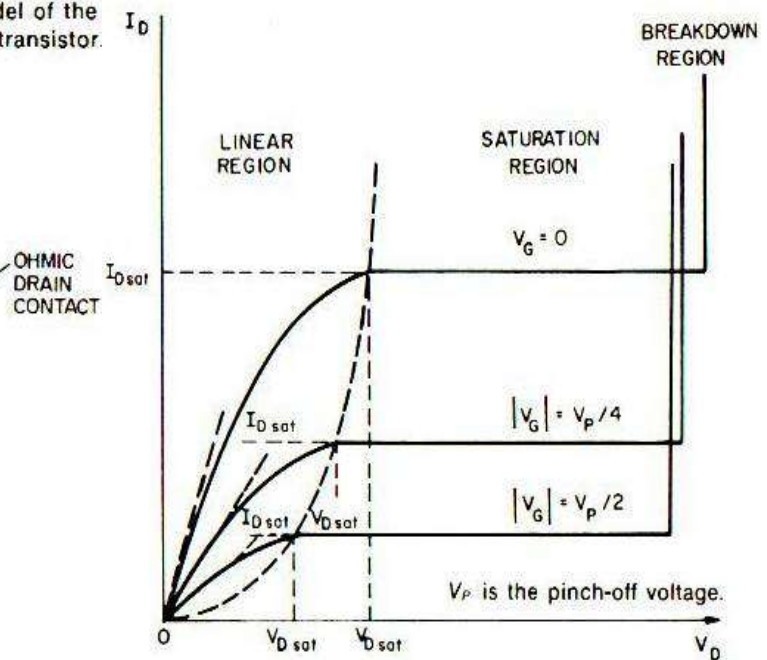
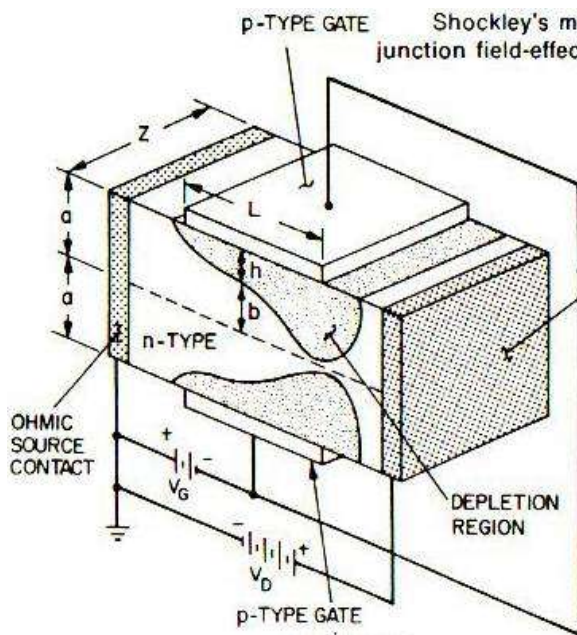
4. Juli 2005

Transistor	<b>Transfer Resistor</b>
FET	<b>FeldEffektTransistor</b> (field effect <b>transfer resistor</b> )
JFET	<b>JunctionFET</b> (1952 Shockley)
IGFET	<b>Insulated Gate FET</b>
MESFET	<b>MEtal-Semiconductor FET</b> (1966 Mead)
MOSFET	<b>MetalOxidSemiconductor FET</b>
NMOS/PMOS	<b>N-doped MOS</b> / <b>P-doped MOS</b>
CMOS	<b>Complementary MOS</b>
HEMT	<b>High Electron Mobility Transistor</b>
TTL	<b>TransistorTransistorLogic</b>
NVRAM	<b>Non Volatile Random Access Memory</b>
EPROM	<b>Erasable Programmable Read Only Memory</b>

- 1926 Patentanmeldung von Julius Edgar Lilienfeld [U.S. 1,745,175 (1930)]
- 1934 Patentanmeldung von Oskar Ernst Heil [British Patent 439,457 (1935)]
- 1947 Im Dezember entsteht an den Bell Lab. der erste bipolare Transistor:  
W. B. Shockley, John Bardeen & Walter Brattain
- 1948 Untersuchung der Theorie von William B. Shockley und G. L. Pearson  
[„Modulation of Conductance of Thin Films of Se...“, *Phys. Rev.*, 74, 232 (1948)]  
Probleme bei Umsetzung der Theorie: surface states  
(reproduzierbar gute Halbleiter-Isolator-Grenzflächen)
- 1960 D. Kahng und M. M. Attalla: erster FET (Siliziumbasis)  
[„Silicon-Silicon Dioxide Field Induced Surface Devices“, IRE Solid-State Device Res. Conf.,  
Carnegie Institute of Technology, Pittsburgh, Pa., 1960]
- 1963 IGFET von S. R. Hofstein und F. P. Heiman
- 1964 MOS Transistor von C. T. Sah
- 1965 Gordon E. Moore: Moore's Law, predicted e.g. 65000 on a chip in 1975

Nachteile: - prinzipiell schlechte Hochfrequenzeigenschaften aufgrund geringer Oberflächenbeweglichkeit der Ladungsträger im Kanal  
 - geringere Sperrspannungen als Bipolare Transistoren und IGBTs (Insulated Gate Bipolar Transistor)

Vorteile: - Steuerung der Leitfähigkeit stromlos (kapazitiv), also leistungslos  
 - einfacher Herstellungsprozess - integrierte Schaltungen  
 - Verkleinerungspotential sehr hoch (Moore's Law)



**Annahmen:**

- 1) Kanaländerung langsam
- 2) abrupte Verarmungszone
- 3) konstante Beweglichkeit

**Verarmungsbreiten:**

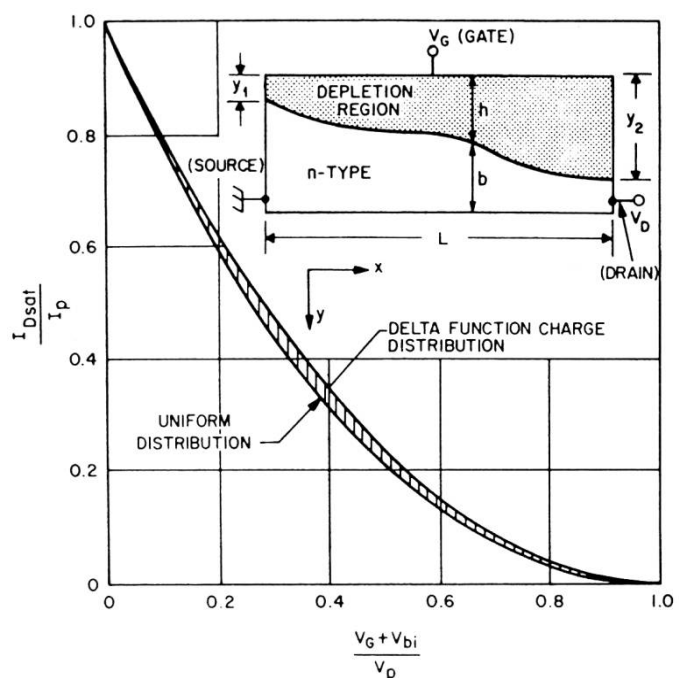
$$y_1 = \sqrt{2\epsilon_S(V_G + V_{bi})/qN_D}$$

$$y_2 = \sqrt{2\epsilon_S(V_D + V_G + V_{bi})/qN_D}$$

**pinch-off Strom & Spannung (Abschnürstrom und -spannung)**

$$V_p = V(y_2 = a) = \frac{qN_D}{2\epsilon_S} a^2$$

$$I_p = \frac{Z\mu q^2 N_D^2 a^3}{6\epsilon_S L}$$



Durchlassleitfähigkeit (**transconductance  $g_m$** ):

$$g_m \equiv \frac{\partial I_D}{\partial V_G} = \frac{2Z\mu q N_D}{L} (a - y_2)$$

Kanalleitfähigkeit (channel conductance, **drain conductance  $g_D$** ):

$$g_D \equiv \frac{\partial I_D}{\partial V_D} = \frac{2Z\mu q N_D}{L} (y_2 - y_1)$$

**drain conductance** im linearen Bereich ( $V_D \rightarrow 0$ ):

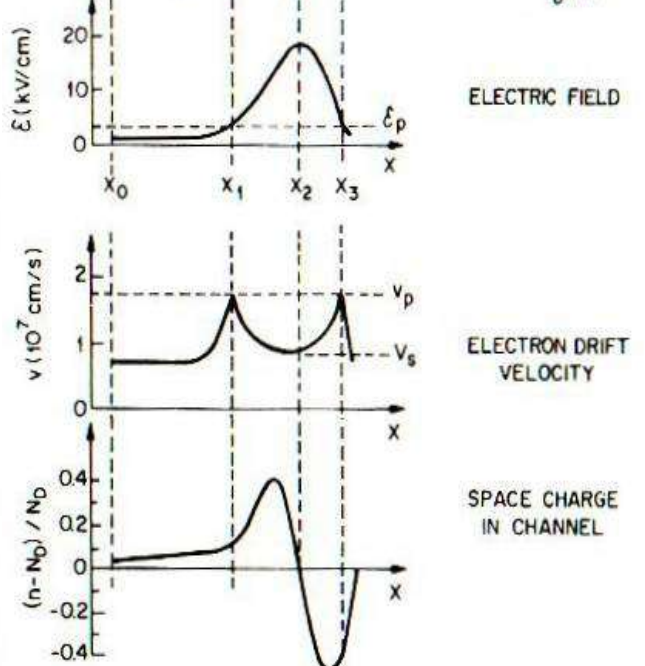
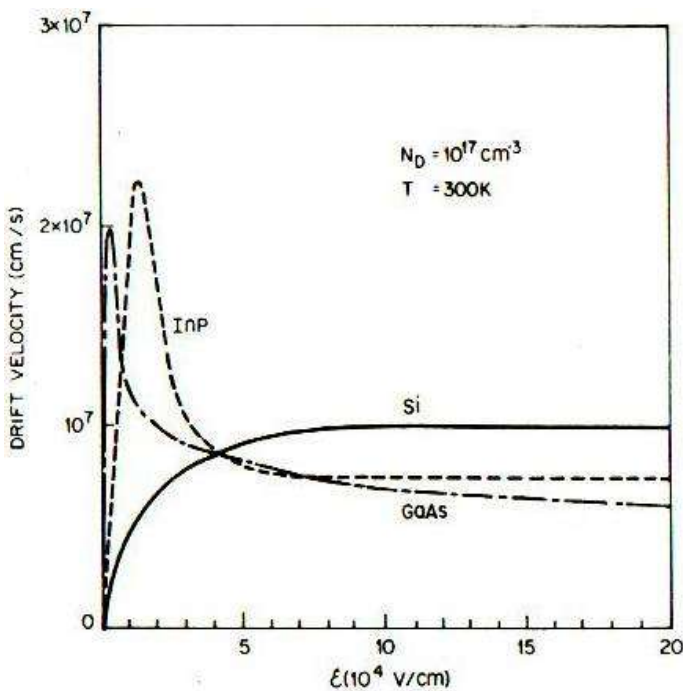
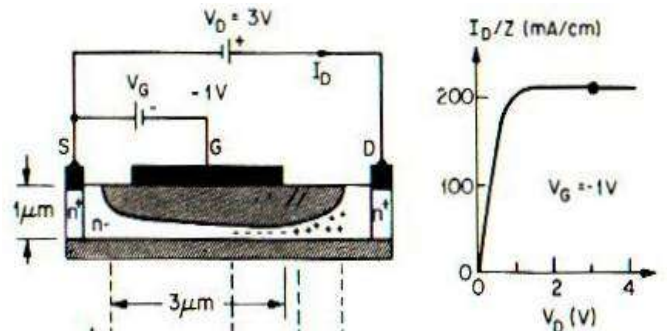
$$g_{D0}(V_D \rightarrow 0) = g_{max} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_p}}\right)$$

**transconductance** im Sättigungsbereich:

$$g_m = \frac{\partial I_{Dsat}}{\partial V_G} = g_{max} \left(1 - \frac{y_1}{a}\right) = g_{max} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_p}}\right)$$

mit  $g_{max} = \frac{q N_D a \mu Z}{L}$

TYPE / MODE	n TYPE	p TYPE
NORMALLY ON (DEPLETION)		
NORMALLY OFF (ENHANCEMENT)		





## Mooresche Gesetze:

- (1) Die Anzahl an Komponenten je Chip verdoppelt sich im Schnitt alle 18 Monate.
- (2) Die Kosten je Bauelement (in integrierter Schaltung) sinkt exponentiell (35%/Jahr) während die Kosten einer FAB exponentiell steigen. (2025: FAB ~ 1 Billion \$)

## State-of-the-art 2005:

Lithographie mit **248 nm**

kleinste Strukturgröße: **~ 90 nm**

(z.B. FET Kanallänge, möglich mit phasenkompensierten Masken und spez. chemischen Verfahren)

Positionierungsgenauigkeit der Masken: **45 nm**

Kernspannung: **~ 1,2 Volt**

Leistungsverbrauch eines Hochleistungsprozessors: **130W**

$10^7$  transistoren bei 1,5 GHz ~ 130 W

$10^8$  transistoren bei 10 GHz ~ 10 kW/cm<sup>2</sup> !!

(Leistungsdichte eines Düsentriebwerkes)

