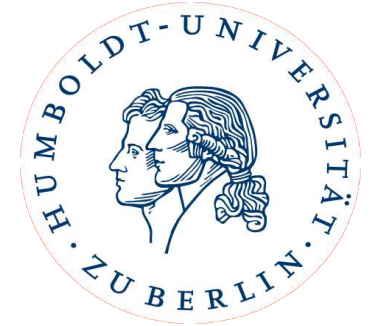


HUMBOLDT-UNIVERSITÄT ZU BERLIN
Institut für Physik



Seminar „Physik der Halbleiterbauelemente“

Feldeffekttransistoren: JFET, MESFET und MOSFET

Matthias Kreier

4. Juli 2005

Gliederung

1 Einführung

Abkürzungen, Motivation, Historisches sowie Vor- und Nachteile von Feldeffekttransistoren

2 JFET und MESFET

2.1 Grundlegender Aufbau

2.2 Strom-Spannungs-Verhalten

2.3 allgemeine Ladungsverteilung

2.4 selbstsperrender FET (Anreicherungstyp, normally-off)

2.5 Feldabhängige Beweglichkeit

3 MOSFET

3.1 allgemeiner Aufbau

3.2 Nichtgleichgewichtsbedingungen

3.3 Linearer Bereich und Sättigungsbereich

3.4 Bauformen und Strukturen

3.5 Nonvolatile Memory Devices

1.1 Abkürzungen

Transistor	Transfer Resistor
FET	FeldEffektTransistor (f ield e ffect t ransfer resistor)
JFET	J unction FET (1952 Shockley)
IGFET	I nsulated G ate FET
MESFET	M etal- S emiconductor FET (1966 Mead)
MOSFET	M etal O xid S emiconductor FET
NMOS/PMOS	N -doped MOS / P -doped MOS
CMOS	C omplementary MOS
HEMT	H igh E lectron M obility T ransistor
TTL	T ransistor T ransistor L ogic
NVRAM	N on V olatile R andom A ccess M emory
EPROM	E rasable P rogrammable R ead O nly M emory

1.2 Motivation

Warum wird ein Computerprozessor warm?

Warum hat mein Computernetzteil +5V, +12V und +3,3V?

Was ist ein CMOS-Sensor meiner Digitalkamera?

Warum sind TFT-Displays besser als STN/TSTN LCDs?

Wie funktioniert die Flashtechnologie in SD-Karten und USB-Sticks?

Warum muß man sich beim Umgang mit CMOS erden?

Wie klein und leicht können Handys werden?

1.3 Historisches

- 1926 Patentanmeldung von Julius Edgar Lilienfeld [U.S. 1,745,175 (1930)]
- 1934 Patentanmeldung von Oskar Ernst Heil [British Patent 439,457 (1935)]
- 1947 Im Dezember entsteht an den Bell Lab. der erste bipolare Transistor: W. B. Shockley, John Bardeen & Walter Brattain
- 1948 Untersuchung der Theorie von William B. Shockley und G. L. Pearson [„Modulation of Conductance of Thin Films of Se...“, *Phys. Rev*, 74, 232 (1948)]
Probleme bei Umsetzung der Theorie: surface states
(reproduzierbar gute Halbleiter-Isolator-Grenzflächen)
- 1960 D. Kahng und M. M. Attalla: erster FET (Siliziumbasis)
[„Silicon-Silicon Dioxide Field Induced Surface Devices“, IRE Solid-State Device Res. Conf., Carnegie Institute of Technology, Pittsburgh, Pa., 1960]
- 1963 IGFET von S. R. Hofstein und F. P. Heiman
- 1964 MOS Transistor von C. T. Sah
- 1965 Gordon E. Moore: Moore's Law, e.g. 65000 on a chip in 1975

1.4 Vor- und Nachteile

Nachteile:

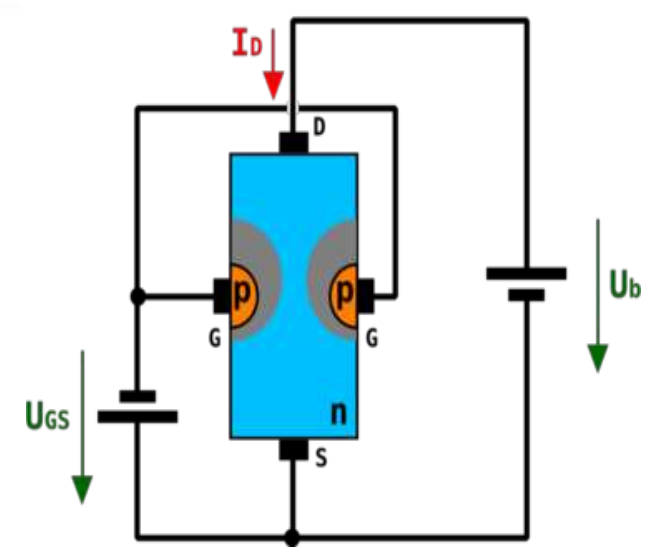
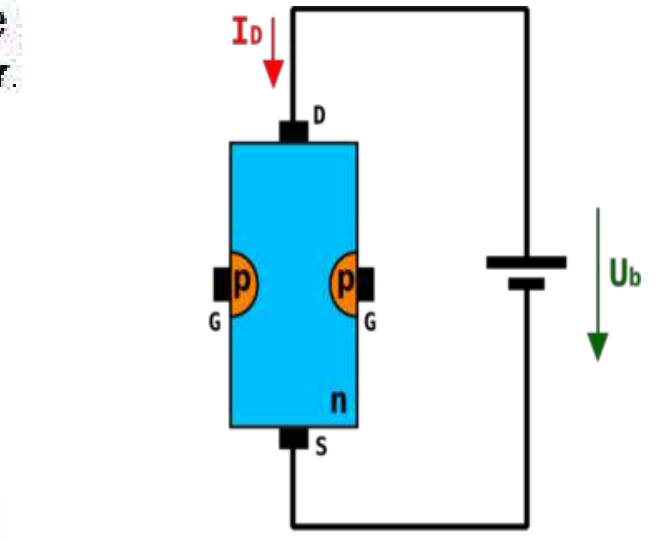
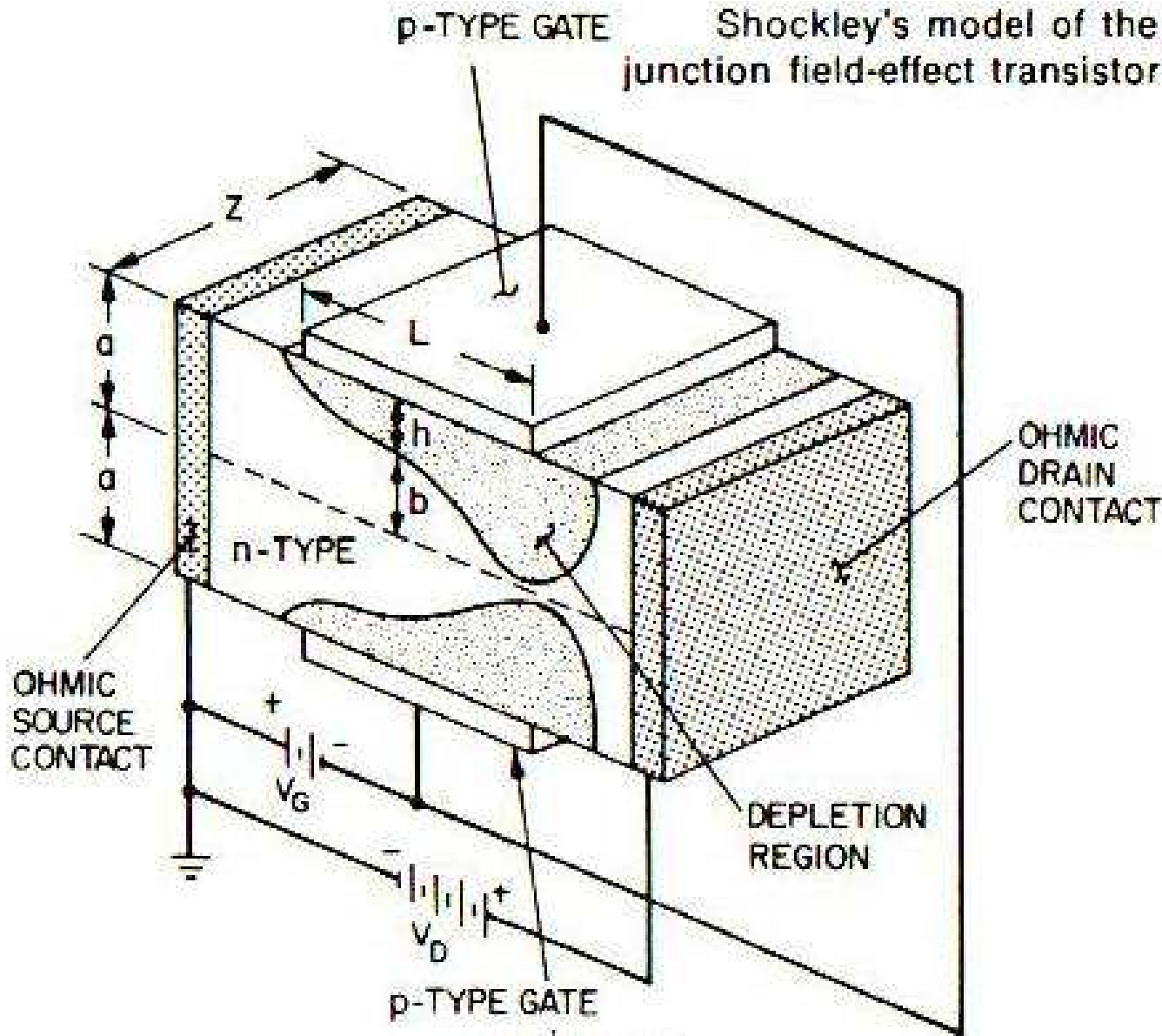
- prinzipiell schlechte Hochfrequenzeigenschaften aufgrund geringer Oberflächenbeweglichkeit der Ladungsträger im Kanal
- geringere Sperrspannungen als Bipolare Transistoren und IGBTs (Insulated Gate Bipolar Transistor)

Vorteile:

- Steuerung der Leitfähigkeit stromlos (kapazitiv), also leistungslos
- einfacher Herstellungsprozess - integrierte Schaltung
- Verkleinerungspotential sehr hoch (Moore's Law)

2.1 Junction Field Effect Transistor (JFET)

Shockley's model of the junction field-effect transistor.



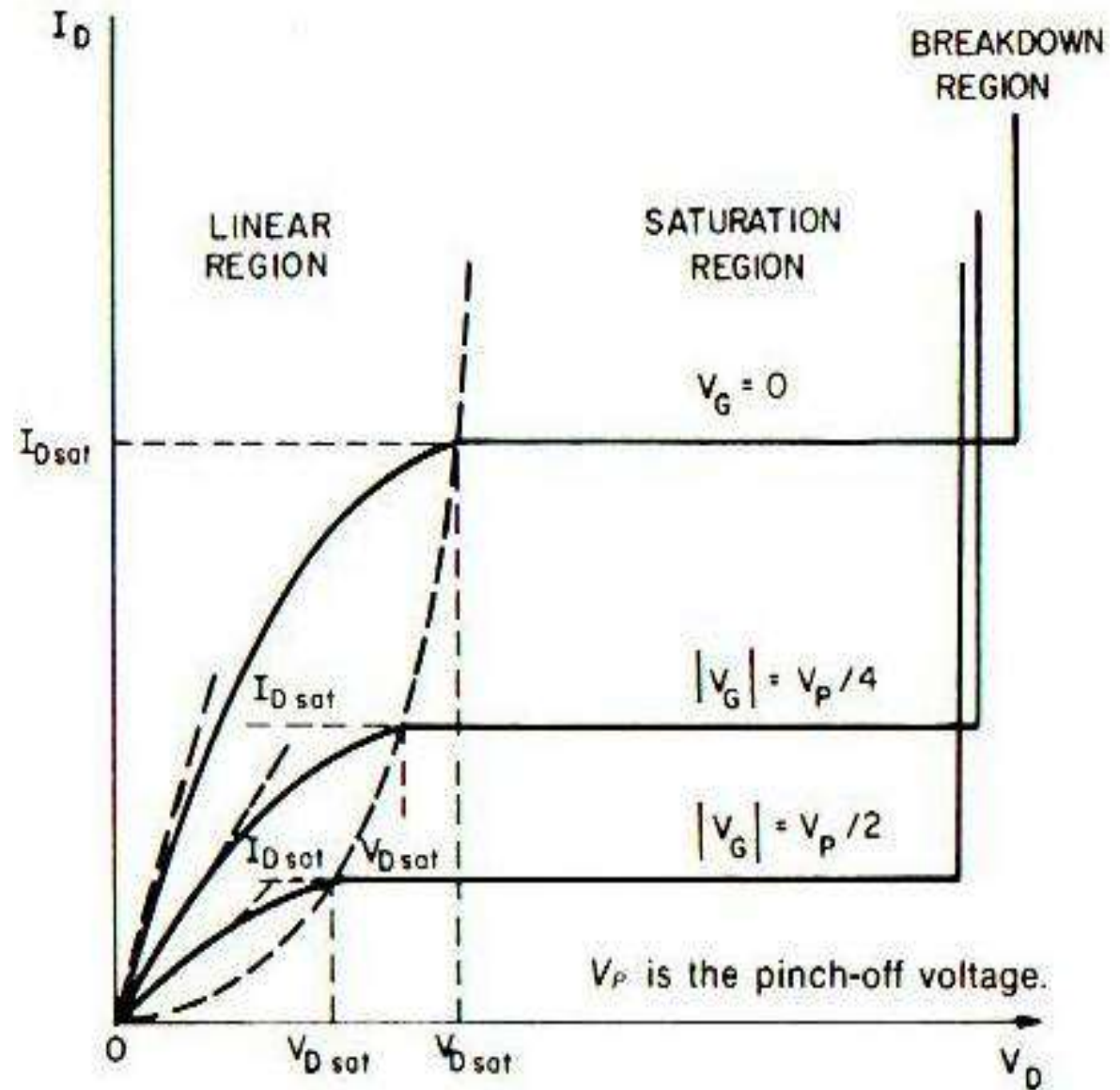
2.2 Strom-Spannungs-Verhalten

3 Bereiche:

1) linearer Bereich

2) Sättigungsbereich

3) Durchbruchbereich
(breakdown, punch through)



2.3 allgemeine Ladungsverteilung

Annahmen:

- 1) Kanaländerung langsam
- 2) abrupte Verarmungszone
- 3) konstante Beweglichkeit

Verarmungsbreiten:

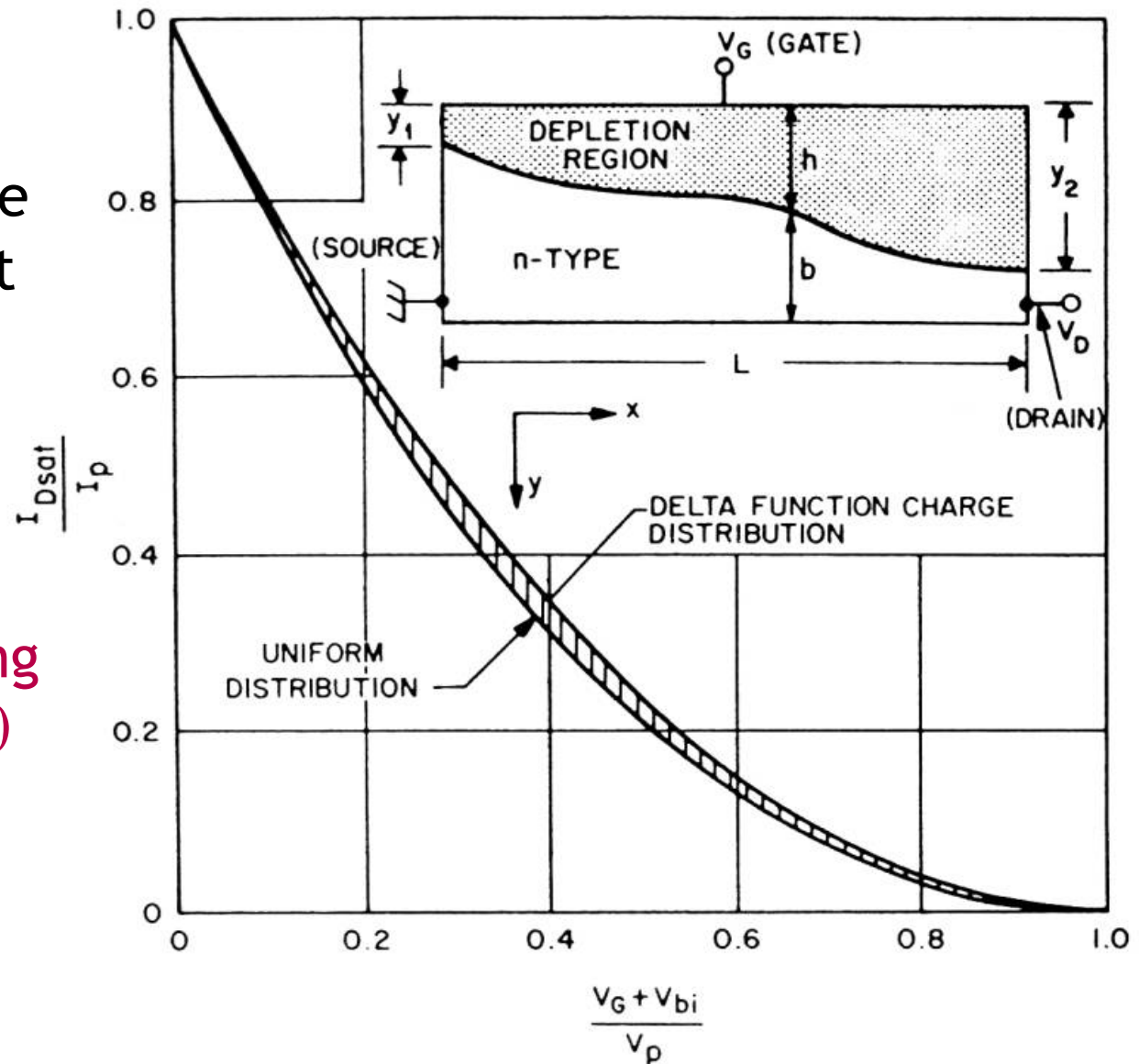
$$y_1 = \sqrt{2\epsilon_S(V_G + V_{bi})/qN_D}$$

$$y_2 = \sqrt{2\epsilon_S(V_D + V_G + V_{bi})/qN_D}$$

pinch-off Strom & Spannung (Abschnürstrom und -spannung)

$$V_P = V(y_2 = a) = \frac{qN_D}{2\epsilon_S} a^2$$

$$I_P = \frac{Z\mu q^2 N_D^2 a^3}{6\epsilon_S L}$$



2.3 allgemeine Ladungsverteilung - Leitfähigkeit

Durchlassleitfähigkeit (**transconductance g_m**):

$$g_m \equiv \frac{\partial I_D}{\partial V_G} = \frac{2Z\mu q N_D}{L} (a - y_2)$$

Kanalleitfähigkeit (channel conductance, **drain conductance g_D**):

$$g_D \equiv \frac{\partial I_D}{\partial V_D} = \frac{2Z\mu q N_D}{L} (y_2 - y_1)$$

drain conductance im linearen Bereich ($V_D \rightarrow 0$):

$$g_{D0}(V_D \rightarrow 0) = g_{max} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_p}}\right)$$

transconductance im Sättigungsbereich:

$$g_m = \frac{\partial I_{Dsat}}{\partial V_G} = g_{max} \left(1 - \frac{y_1}{a}\right) = g_{max} \left(1 - \sqrt{\frac{V_G + V_{bi}}{V_p}}\right)$$

mit

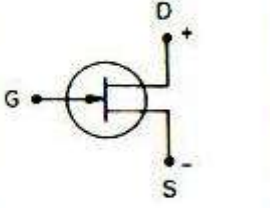
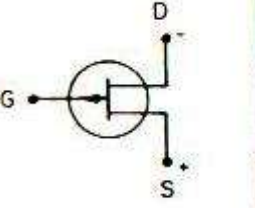
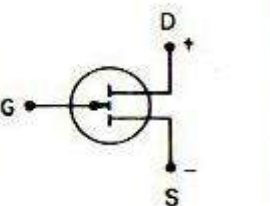
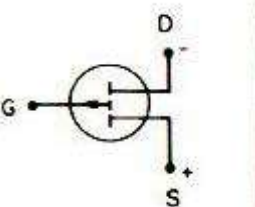
$$g_{max} = \frac{q N_D a \mu Z}{L}$$

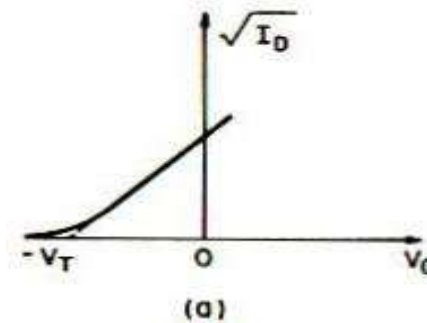
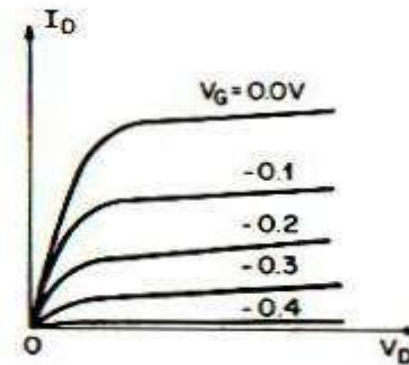
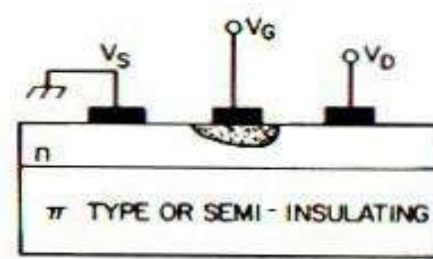
2.4 selbstsperrender FET (normally off)

$$V_T \approx V_{bi} - V_P$$

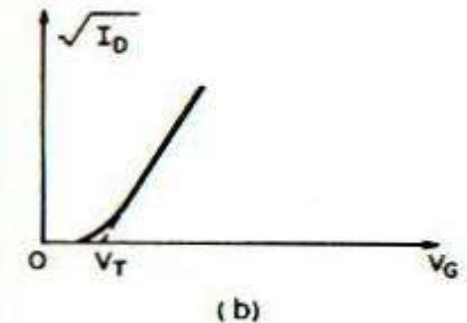
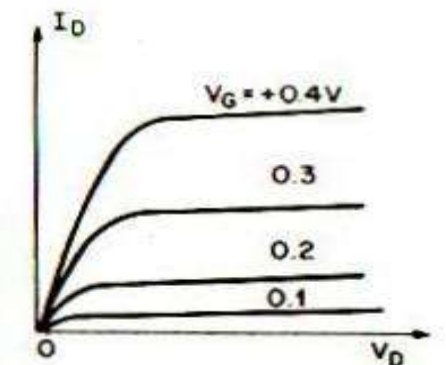
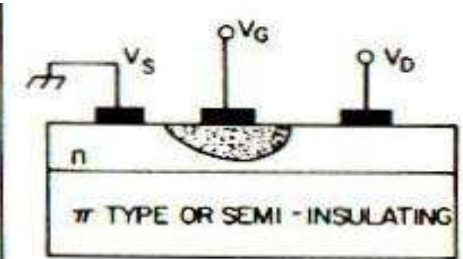
$$V_{bi} \approx V_T + V_P$$

$$I_D = \frac{Z \mu \epsilon_s}{2 a L} (V_G - V_T)^2$$

TYPE \ MODE	n TYPE	p TYPE
NORMALLY ON (DEPLETION)		
NORMALLY OFF (ENHANCEMENT)		



selbstleitend
(normally on)



selbstsperrend
(normally off)

2.5 Feldabhängige Beweglichkeit

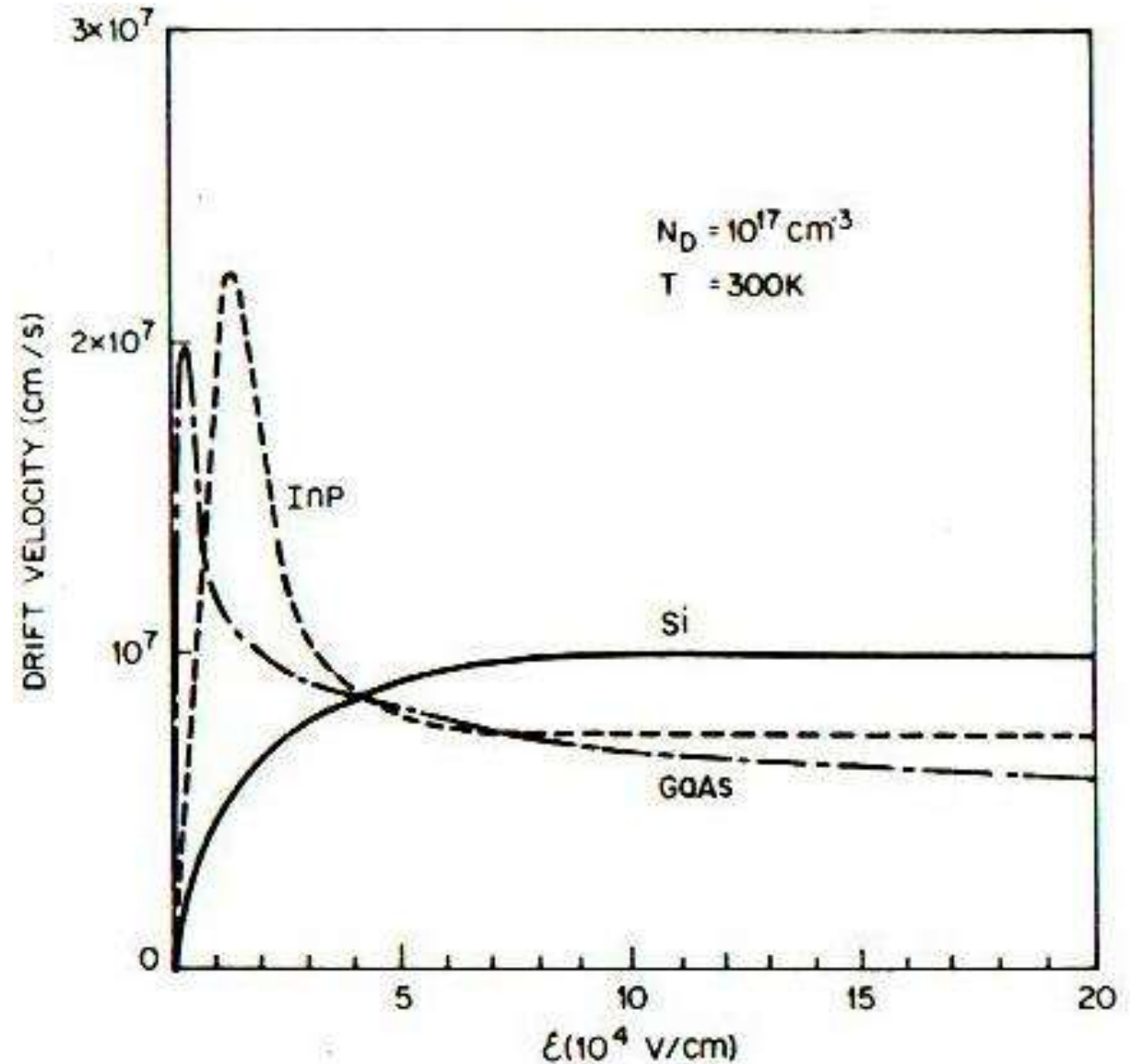
Abhängigkeit der Driftgeschwindigkeit vom elektrischen Feld:

$$v = \mu \cdot E$$

linearer Zusammenhang nur gültig für kleine Feldstärken, bei großen Feldstärken:

$$v \rightarrow v_{max}$$

Sonderverhalten GaAs:
Bandstruktur (Tafel)

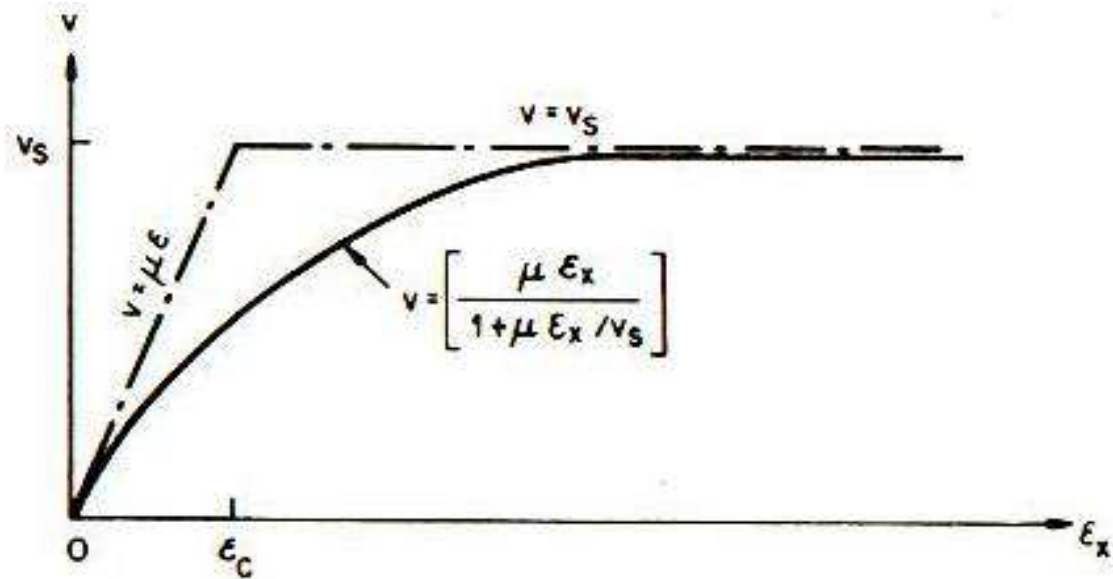
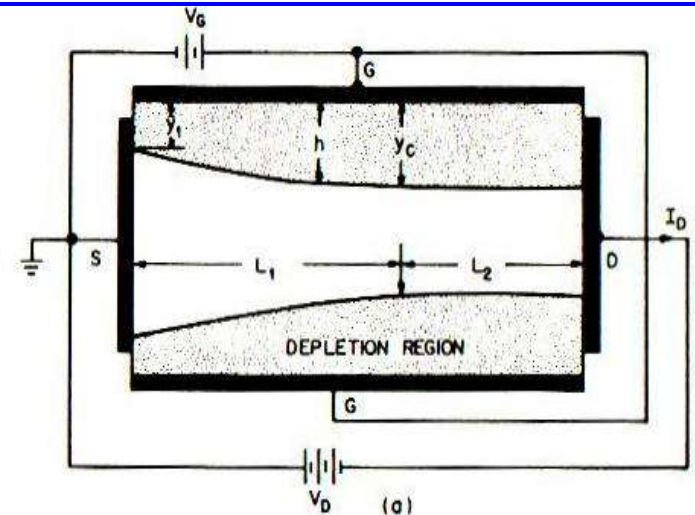


2.5 Feldabhängige Beweglichkeit

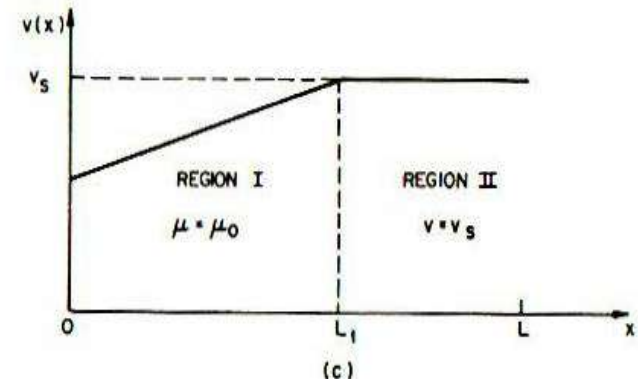
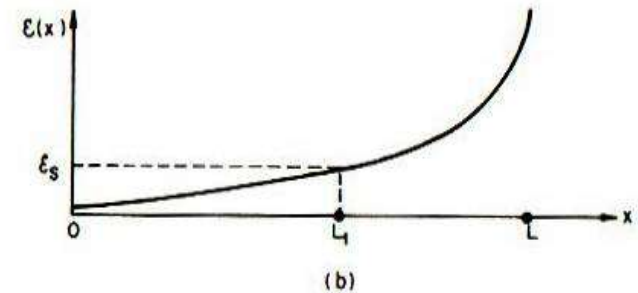
rechts: **Zwei-Regionen-Modell**

unten:

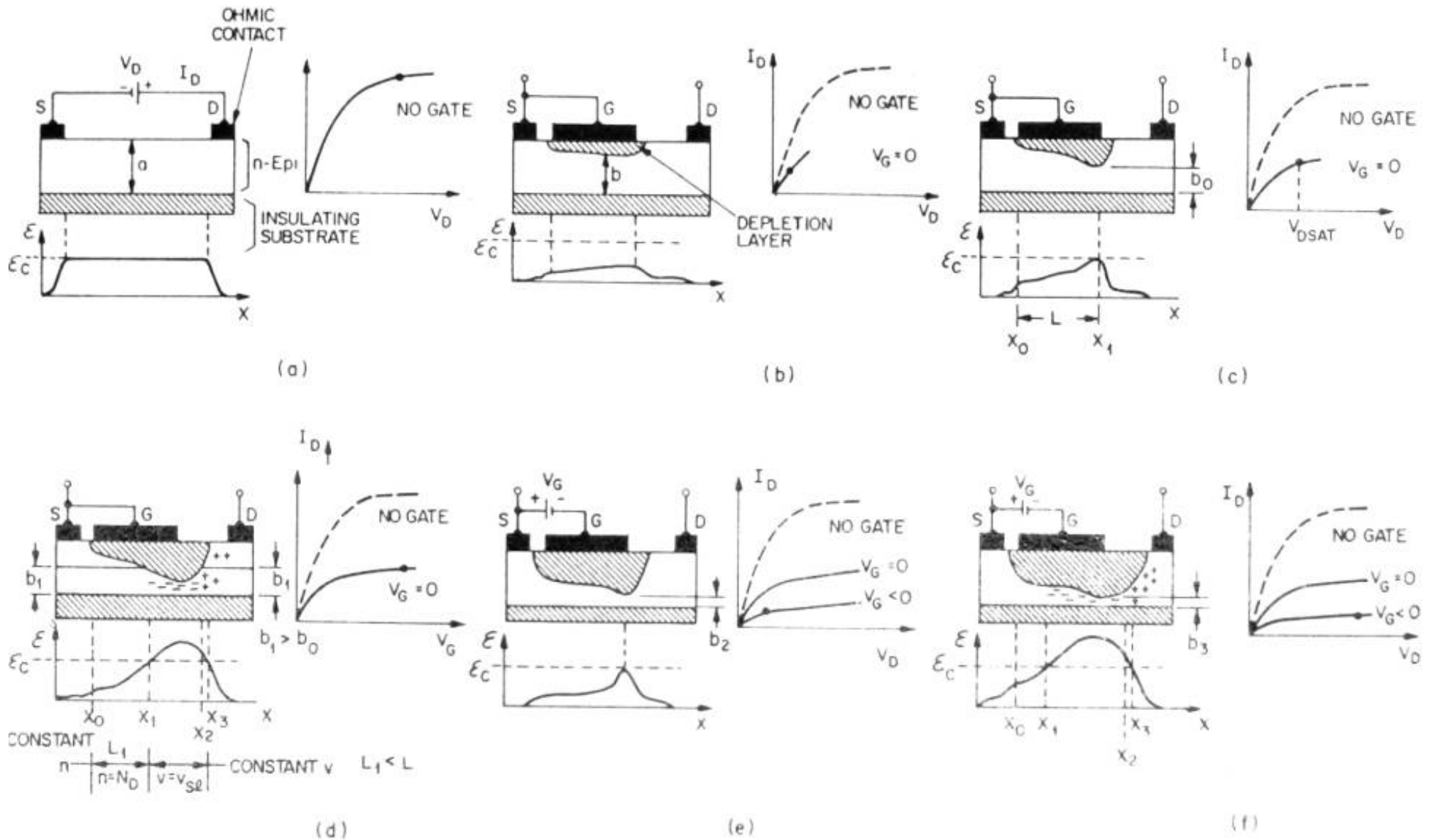
Näherung für die Abhängigkeit der Geschwindigkeit vom elektrischen Feld



Approximations for the velocity-field curves.



Feld unter dem Gate



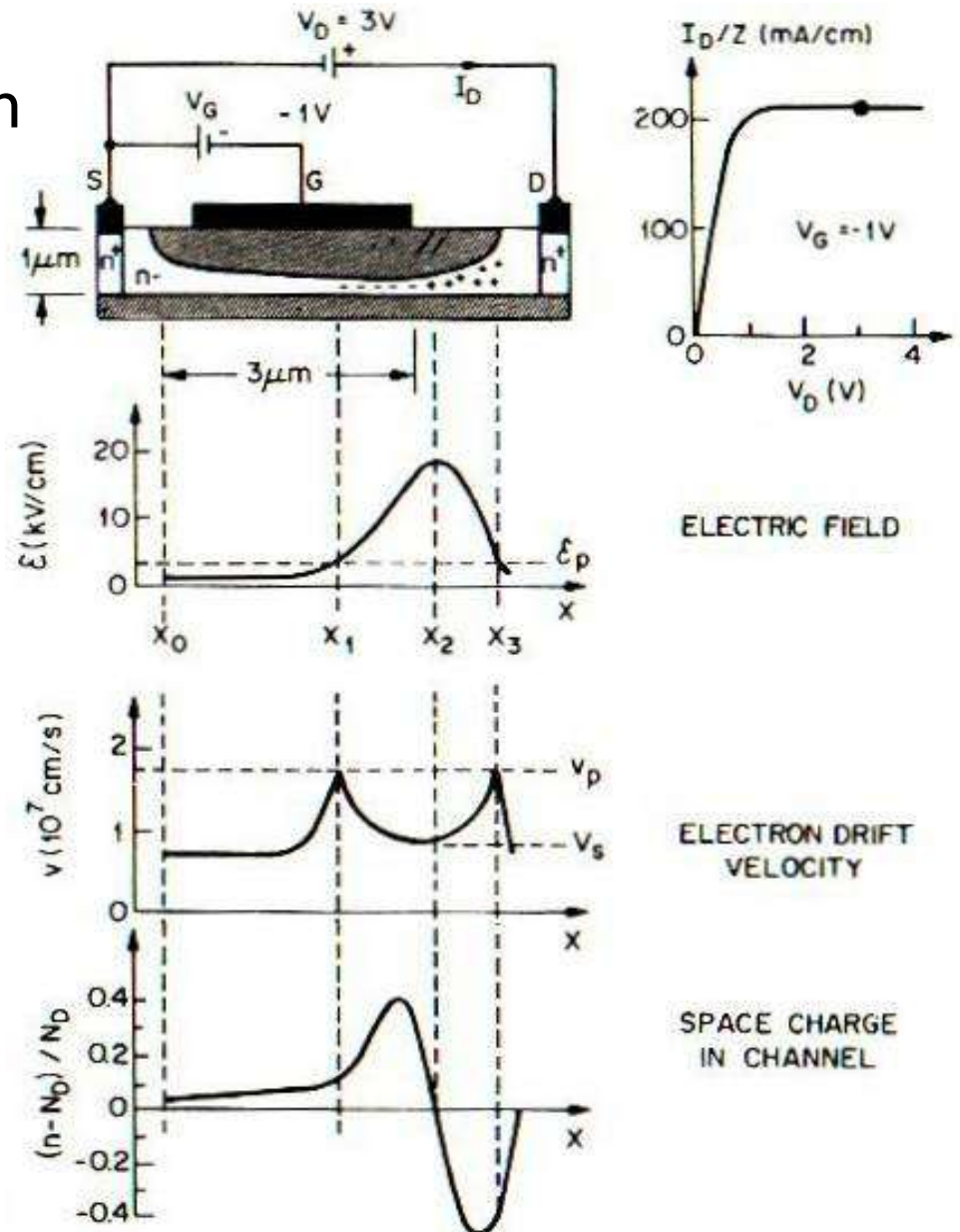
Querschnitt eines Kanals - relevante Meßgrößen

GaAs MESFET im Sättigungsbereich
Querschnitt durch den Kanal

elektrisches Feld

Driftgeschwindigkeit der
Elektronen

Raumladung im Kanal

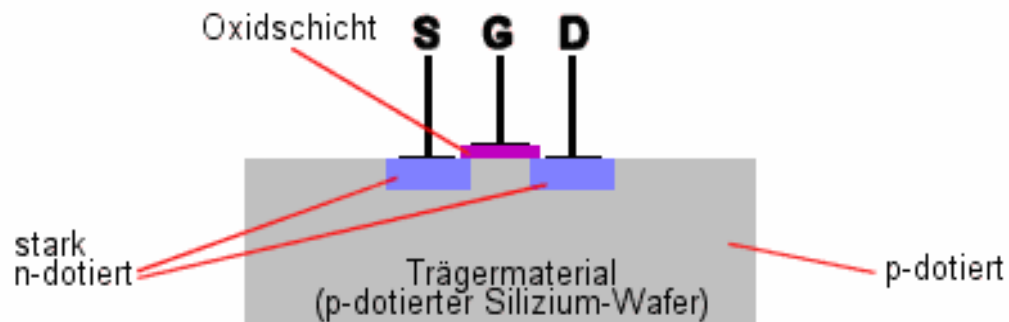


3 MOSFET

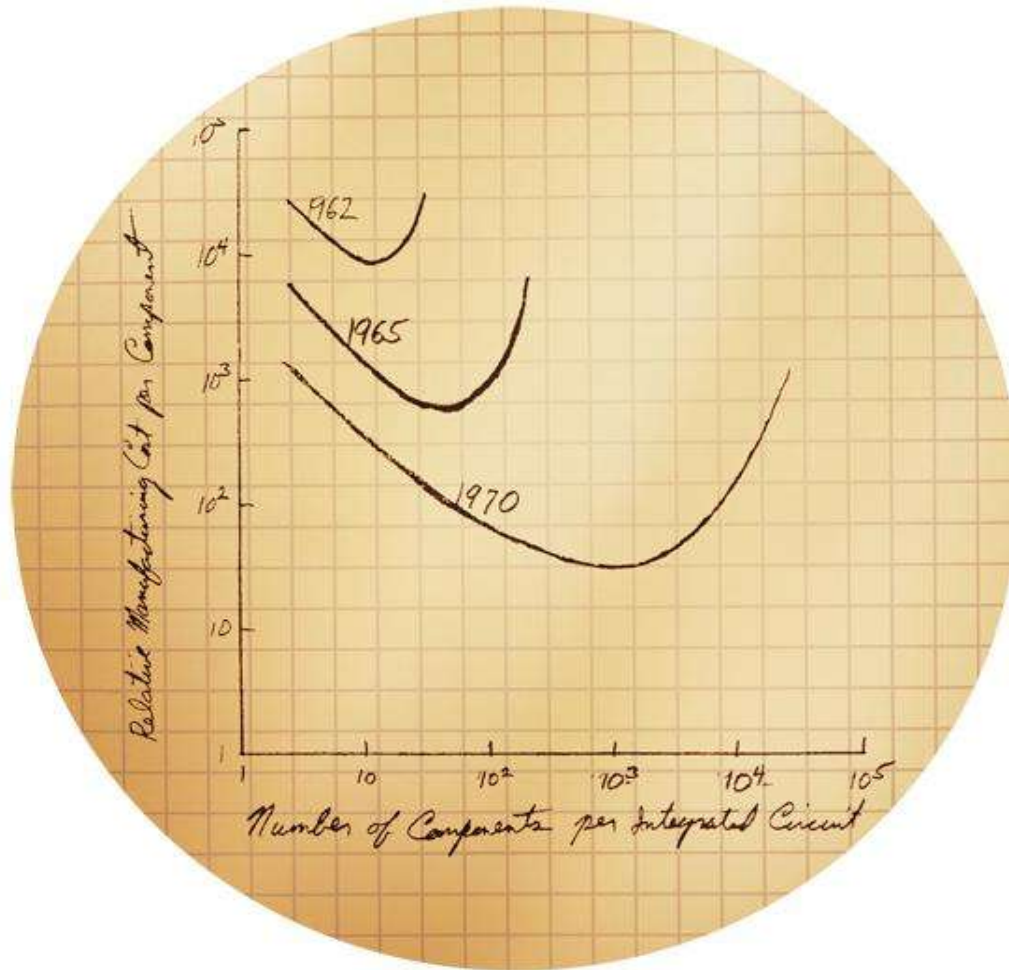
MISFET (Metal Insulator Semiconductor Field Effect Transistor):

Ge, Si und GaAs mit SiO_2 , Si_3N_4 und Al_2O_3

wichtigster Vertreter: die **Si-SiO₂** Kombination



Moore's Law

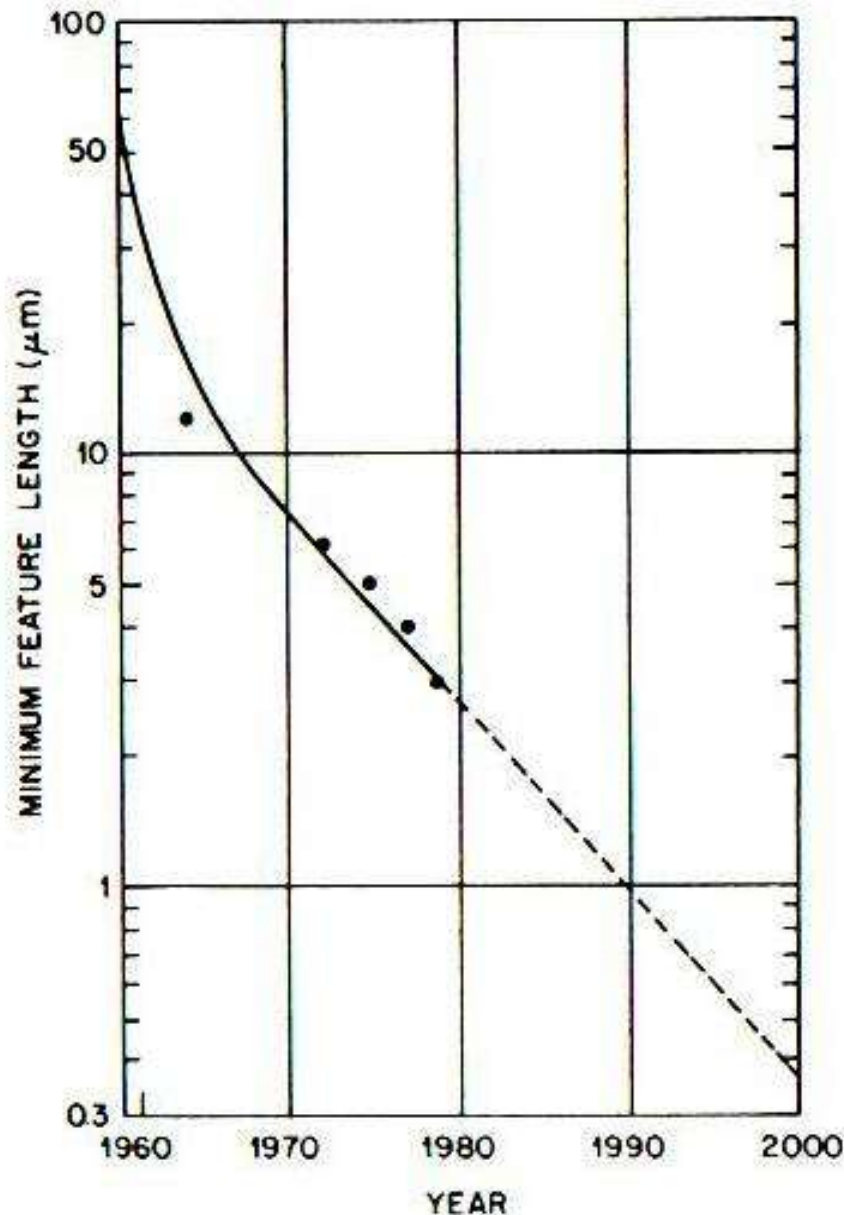


Moore'sche Gesetze:

- (1) Die Anzahl an Komponenten je Chip verdoppelt sich im Schnitt alle 18 Monate.
- (2) Die Kosten je Bauelement (in integrierter Schaltung) sinkt exponentiell (35%/Jahr) während die Kosten einer FAB exponentiell steigen. (2025: FAB ~ 1 Billion \$)

Originalgrafik Gordon E. Moore 1965

Moore's Law: Strukturgröße



Links: Vorhersage aus S. Sze 1980

State-of-the-art 2005:

Lithographie mit **248 nm**

kleinste Strukturgröße: **~ 90 nm**

(z.B. FET Kanallänge, möglich mit phasenkompensierten Masken und spez. chemischen Verfahren)

Positionierungsgenauigkeit der

Masken: **45 nm**

Kernspannung: **~ 1,2 Volt**

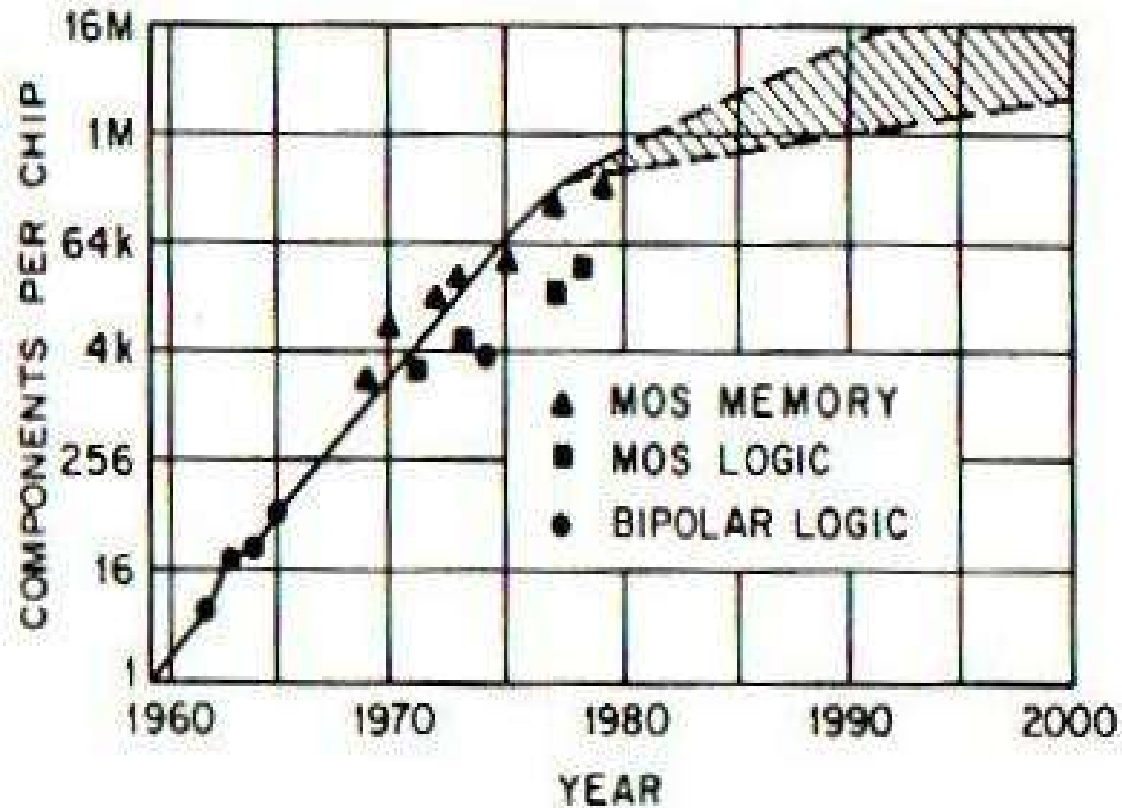
Leistungsverbrauch eines Hochleistungsprozessors: **130W**

10^7 transistoren bei 1,5 GHz ~ 130 W

10^8 transistoren bei 10 GHz ~ 10 kW/cm² !!

(Leistungsdichte eines Düsentriebwerkes)

Moore's Law: Transistoren je DIE



1978	Motorolla	68.000 (Amiga)
1985	386 DX	275.000
1993	Pentium	3.300.000
2005	Pentium M	140.000.000 (Dothan)
2006	Cell	234.000.000
2006	Itanium2	1.720.000.000 (Montecito, announced in 2/2005)

Links:

Vorhersage aus S. Sze 1980

State-of-the-art 2005:

Pentium M Dothan

Transistoren: 140 Millionen

DIE-Größe: 83,6 mm²

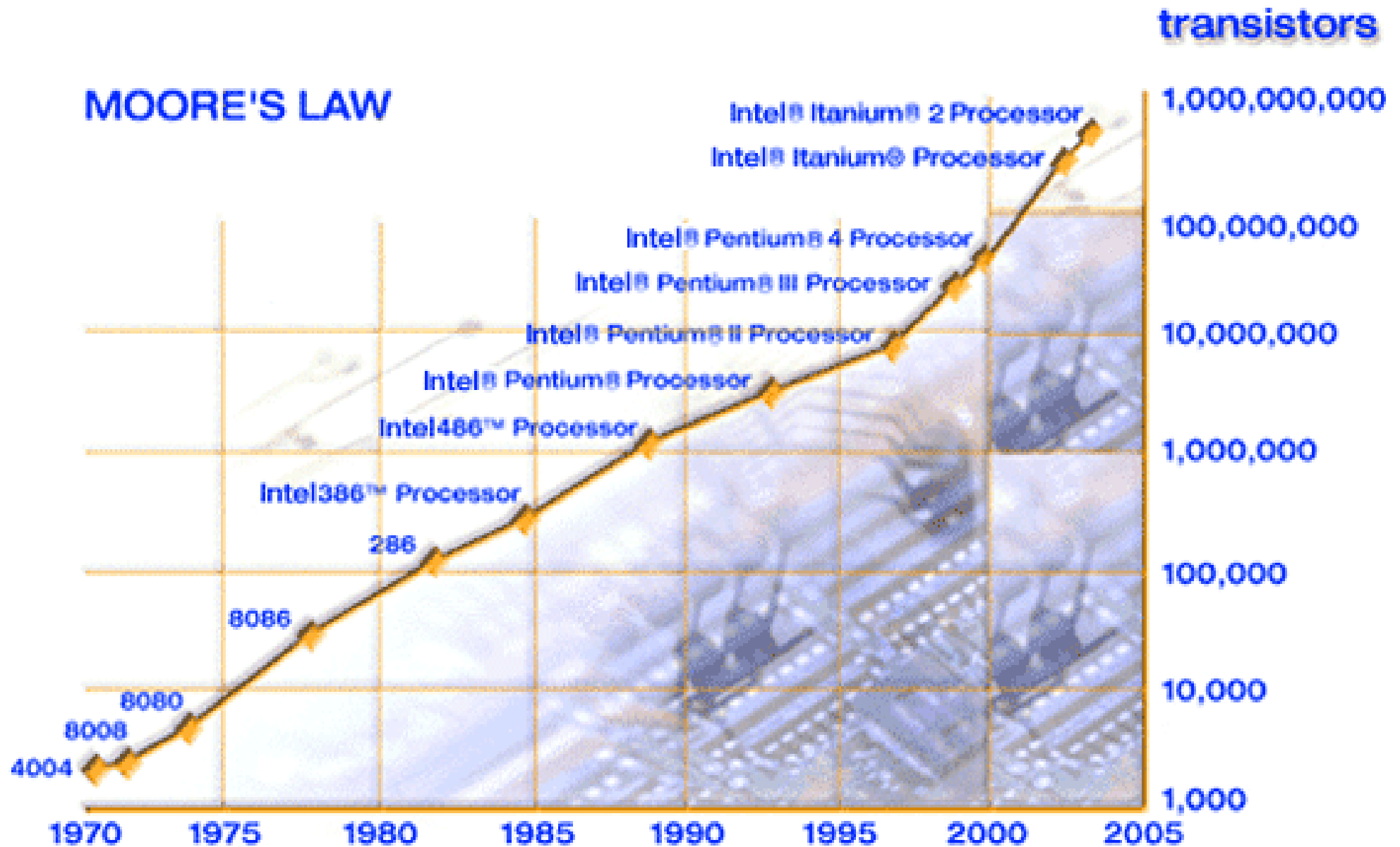
V_{core}: 1,260 V

Taktfrequenz: 2 Ghz

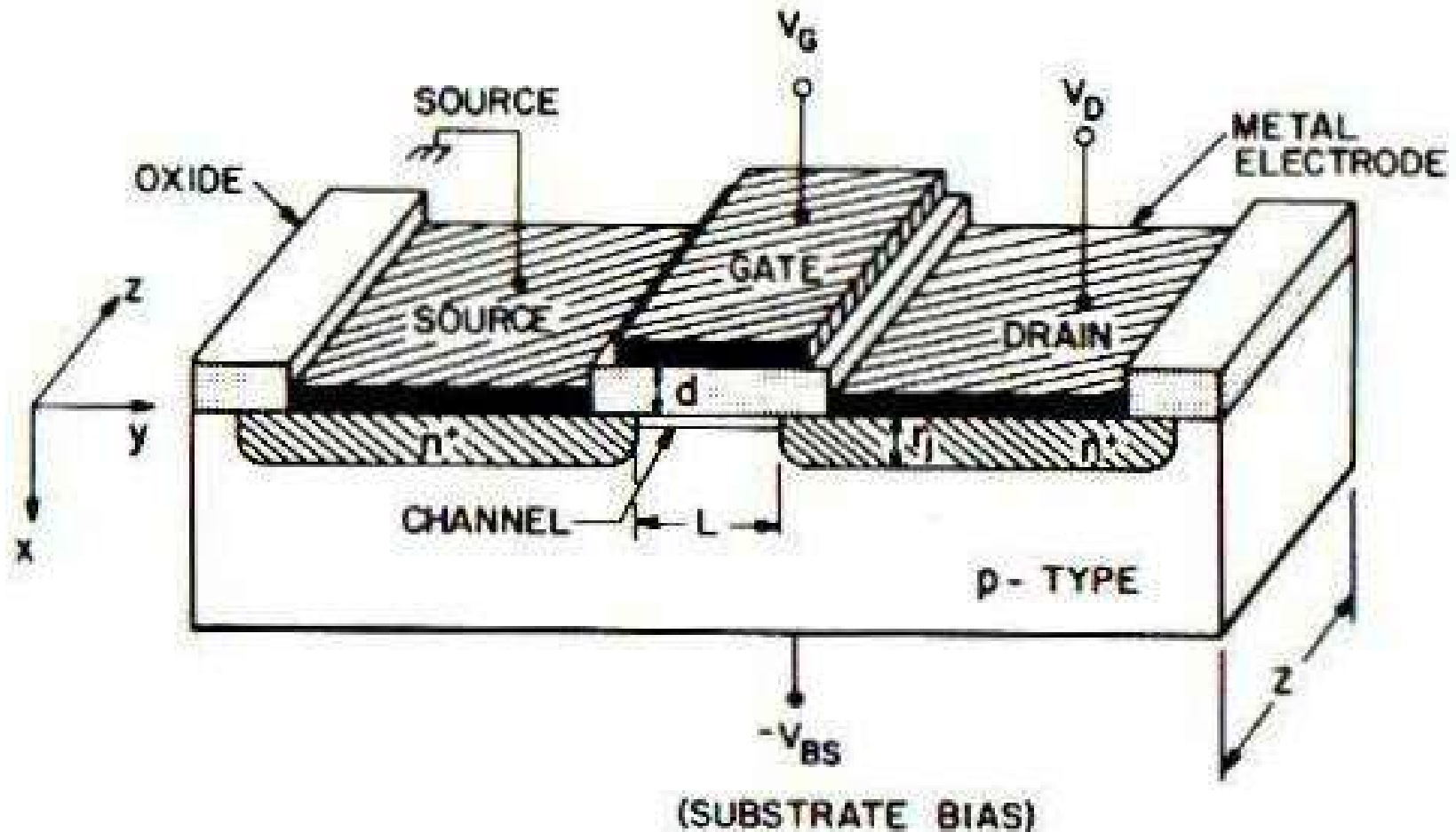
Fertigungsprozess: 90 nm

Leistungsabgabe: 21 W

Moore's Law



3.1 Allgemeiner Aufbau eines MOSFETs

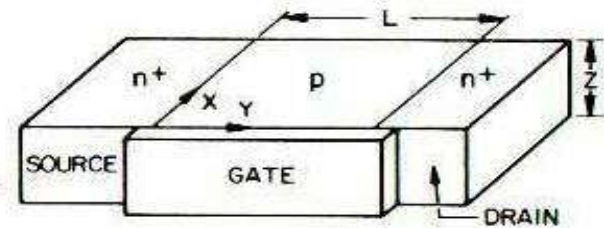


n-Kanal selbstsperrender MOSFET
(normally-off oder enhancement-type)

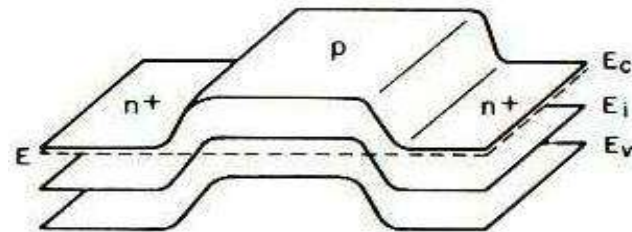
3.2 Nichtgleichgewichtsbedingungen

Zweidimensionales Banddiagramm eines n-Kanal MOSFETs

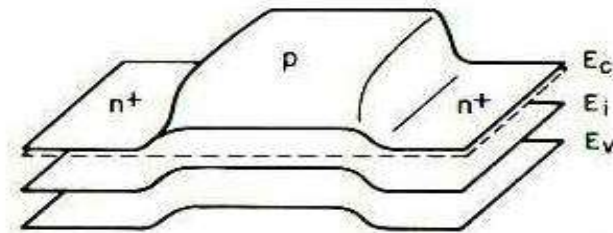
- (a) Konfiguration des Bauelementes
- (b) Banddiagramm für unbeschaltetes Bauelement
- (c) Gleichgewichtsbedingung unter einer Gate-Spannung (Inversion)
- (d) Nichtgleichgewichtsbedingung bei Gate- und Drainspannung



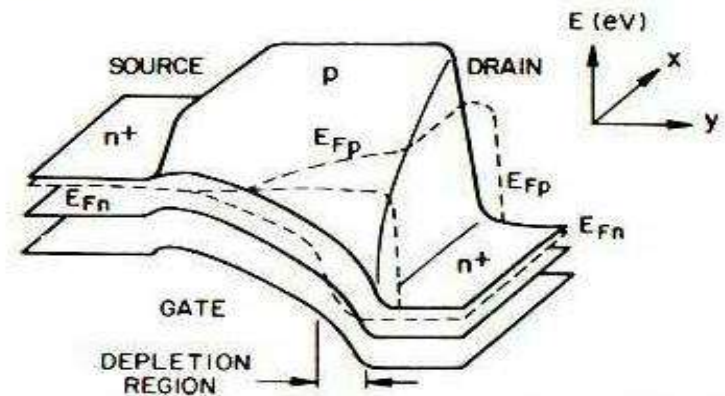
(a)



(b)



(c)



(d)

E_i imref der Minoritätsladungsträger

E_{Fp} imref für Löcher

E_{Fn} imref für Elektronen

3.2 Nichtgleichgewichtsbedingungen

Oberflächenladung pro Fläche (starke Inversion) ist gegeben durch:

$$Q_s = Q_n + Q_B$$

'Bulk'-Ladungsträger:

$$Q_B = -q N_A W_m = -\sqrt{2 q N_A \epsilon_S (V_D + 2 \psi_B)}$$

Ladungen von Minoritätsladungsträgern in Inversionsschicht:

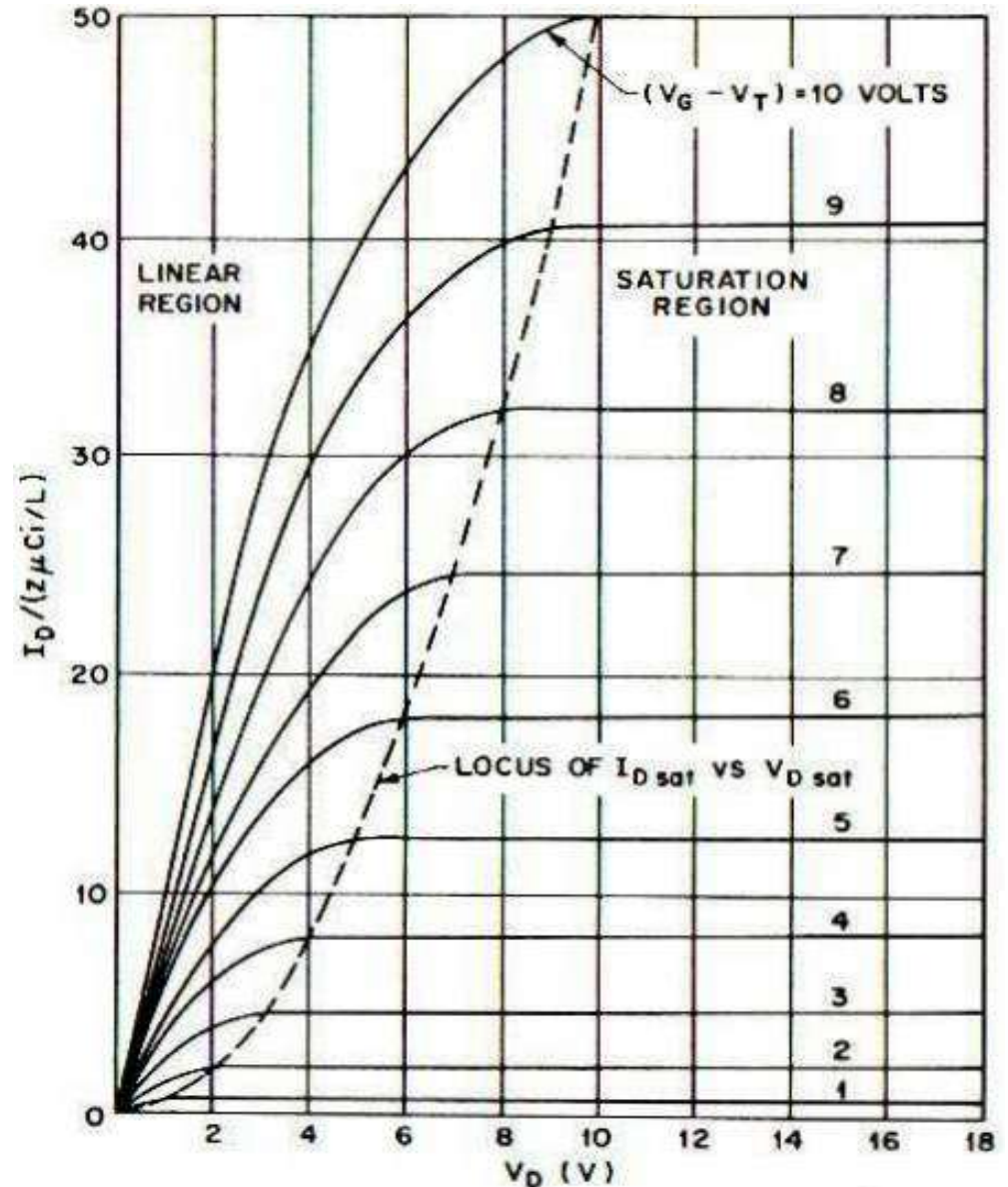
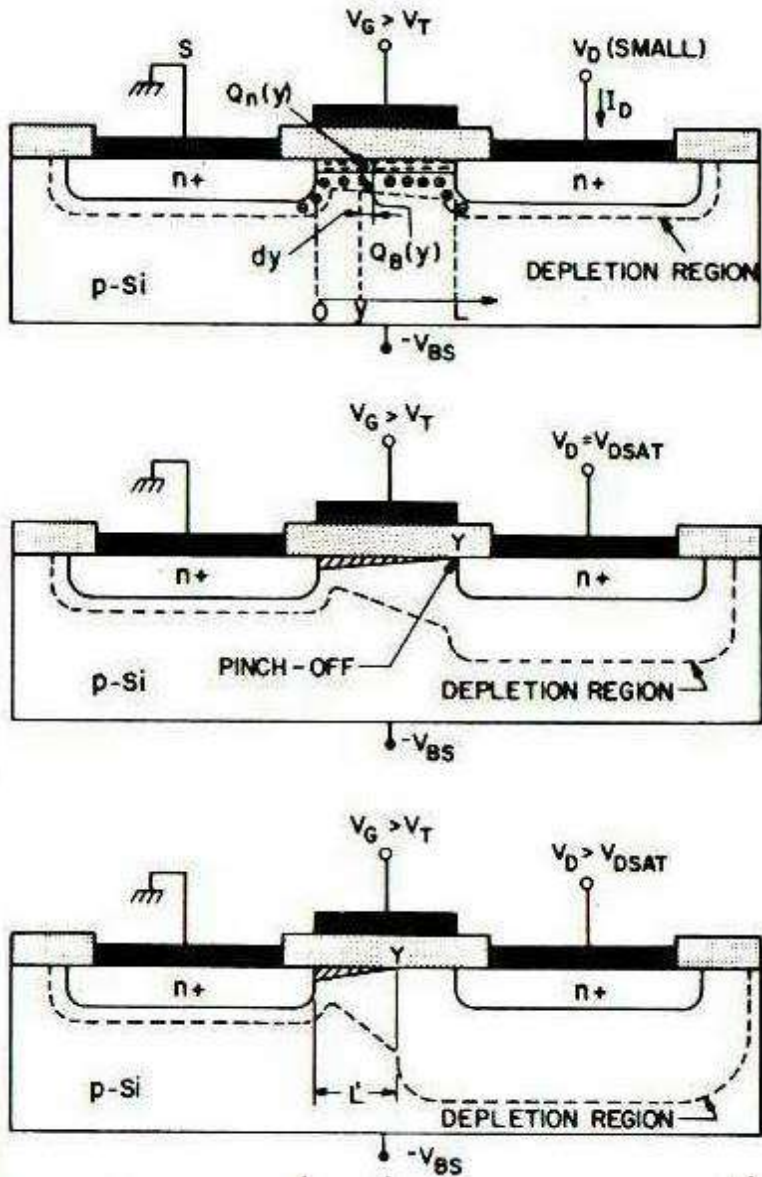
$$|Q_n| \equiv q \int_0^{x_i} n(x) dx = q \int_{\psi_s}^{\psi_B} \frac{n(\psi) d\psi}{d\psi/dx}$$

bzw.:

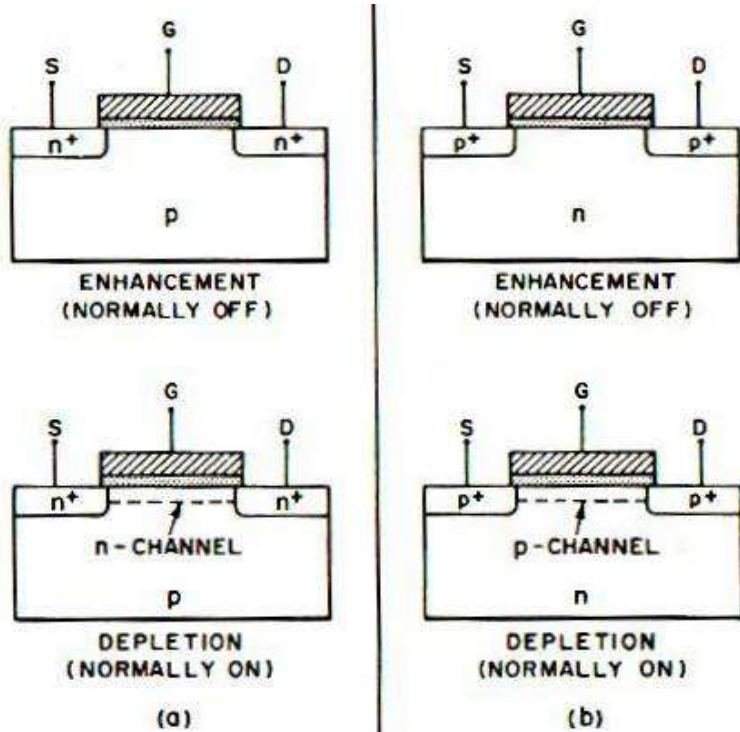
$$|Q_n| = q \int_{\psi_s}^{\psi_B} \frac{n_{p0} e^{(\beta\psi - \beta V_D)} d\psi}{(\sqrt{2} kT / qL_D) F(\beta\psi, V_D, n_{p0} / p_{p0})} \quad (1)$$

Für praktische Dotierungen von Silizium ist x_i relativ klein, im Bereich von 30 bis 300 Å. Gleichung (1) ist die Grundgleichung für 'long-channel' MOSFETs und numerisch zu lösen.

3.3 Linearer Bereich und Sättigungsbereich



3.4 Bauformen von MOSFETs



n-Kanal

p-Kanal

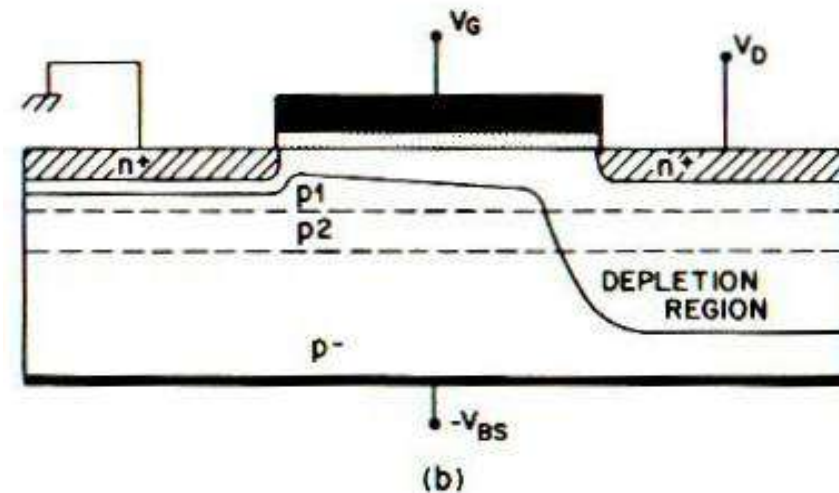
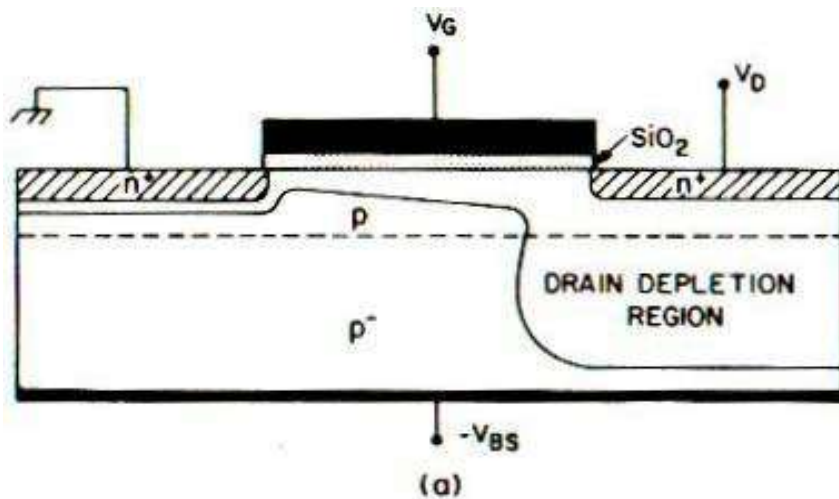
TYPE	ELECTRICAL SYMBOL	OUTPUT CHARACTERISTIC	TRANSFER CHARACTERISTIC
N-CHANNEL ENHANCEMENT (NORMALLY OFF)			
N-CHANNEL DEPLETION (NORMALLY ON)			
P-CHANNEL ENHANCEMENT (NORMALLY OFF)			
P-CHANNEL DEPLETION (NORMALLY ON)			

vier Arten von MOSFET

Anreicherungstyp (enhancement):

I_D erst oberhalb Schwellspannung V_T (threshold)

3.4 MOSFET Strukturen - HMOS



High-performance MOS

- (a) single implantation
- (b) double implantation
 - p1 threshold control implant
 - p2 punch-through control implant

Prinzip:

- höheres Dopinglevel in Oberflächenregion

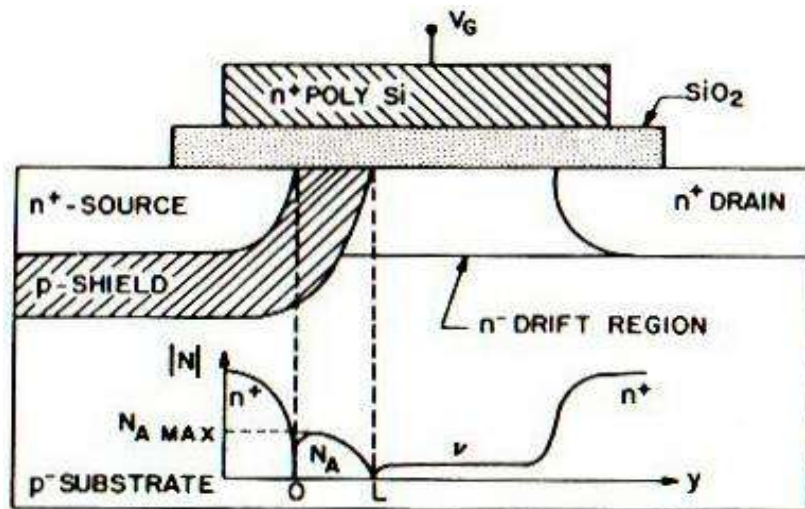
Effekt:

- Beeinflussung der Schwellenspannung
- Erhöhung der punch-through-Spannung
- Senkung der Drainkapazität
- Minimierung von short-channel Effekten

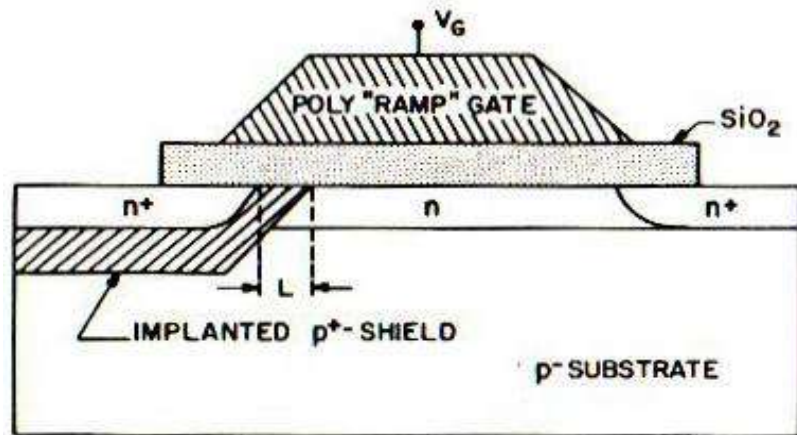
Nachteil:

- schlechteres Subschwellenverhalten (large subthreshold swing)
- erhöhte Substratspannungsempfindlichkeit (V_{BS})

3.4 MOSFET Strukturen - DMOS, DIMOS



(a)



(b)

(a) Double-diffused MOS (DMOS)

Prinzip:

- Kanallänge durch höhere Diffusionsrate des p-dopants im Verhältnis zum n⁺-dopant in Source bestimmt
- nach Kanal folgt leicht dotierte Driftregion

(b) Double-Implanted MOS (DIMOS)

- Herstellung von Source und Drain mit polykristallinem Gate als Maske

Vorteile:

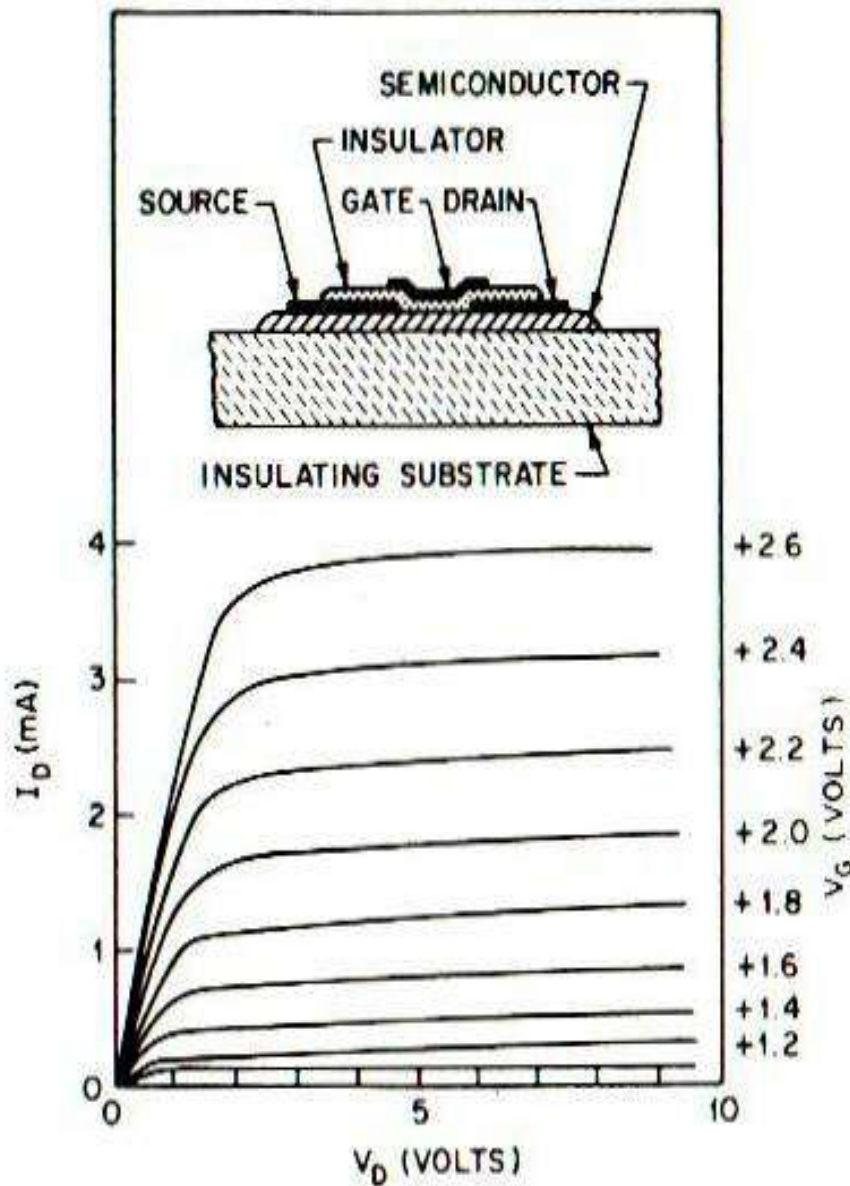
- sehr kurze Kanäle
- Kanallänge unabhängig von Lithographie
- gute punch-through Kontrolle wegen des stark dotierten p-Schildes
- schwach dotierte Driftregion minimiert Spannungsabfall über dieser Region durch gleichmäßiges Feld - velocity saturation

3.4 MOSFET Strukturen - Thin-Film Transistor

Thin-Film Transistor (TFT)

Halbleiter- (z.B. CdS) und Isolatorschichten werden nacheinander aufgewachsen, um das Bauteil zu bilden.

Durch Schichtaufbau entstehen mehr Defekte und Kristallfehler in den Schichten als in vergleichbaren Einzelkristallhalbleitern, daher sind die Transportprozesse im TFT komplizierter.



3.4 MOSFET Strukturen - Silicon-On-Insulator

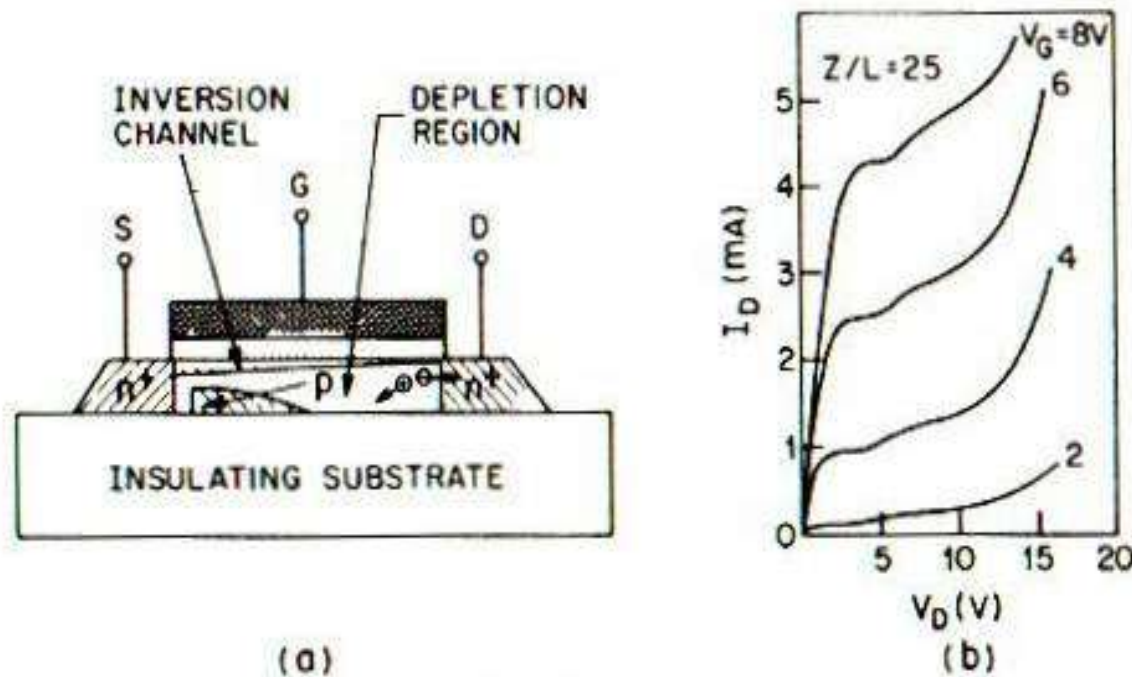


Fig. 57 (a) Silicon-on-insulator MOSFET. (b) Drain characteristics of SOS. (After Tihanyi and Schlotterer, Ref. 64.)

silicon-on-insulator (SOI), u. a. silicon-on-sapphire (SOS, Al_2O_3), silicon-on-nitride (Si_3N_4) und silicon-on-oxide (SiO_2)

Bauelemente werden im Standard MOS-Prozess hergestellt.

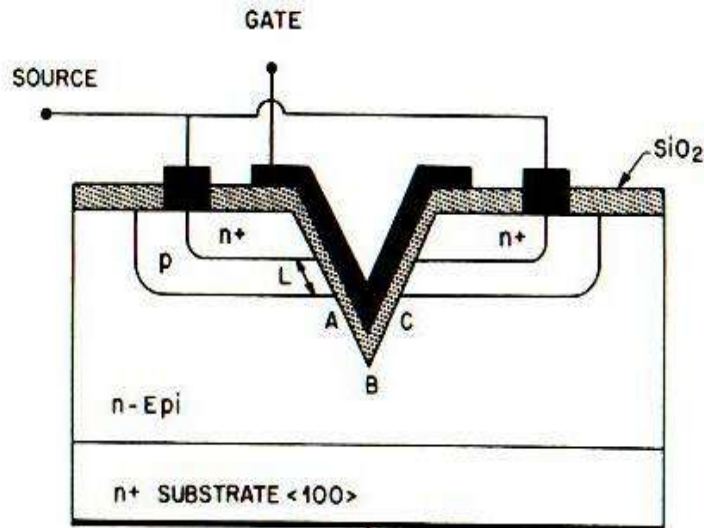
Amorphe Siliziumschichten können per Laser kristallisiert werden.

High defect density in Si-film, high trap density in Si-insulator interface

Ultra-high-speed operations

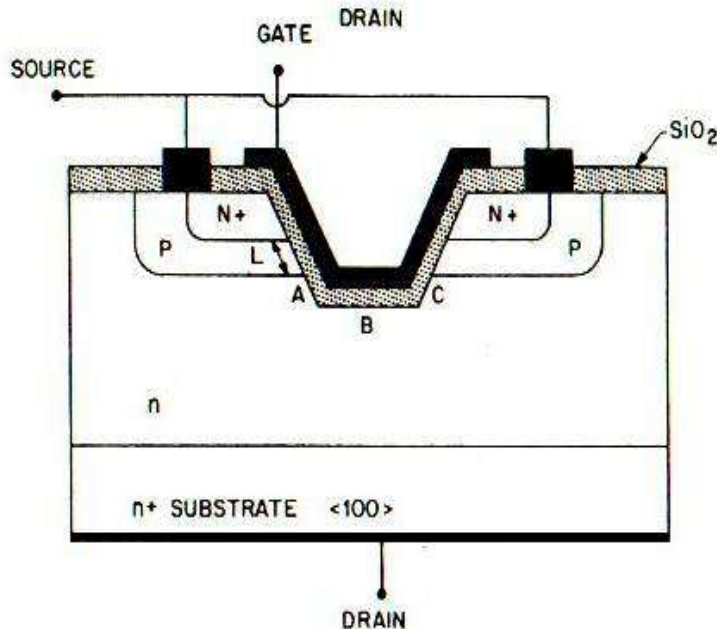
3D device configuration

3.4 MOSFET Strukturen - VMOS, UMOS



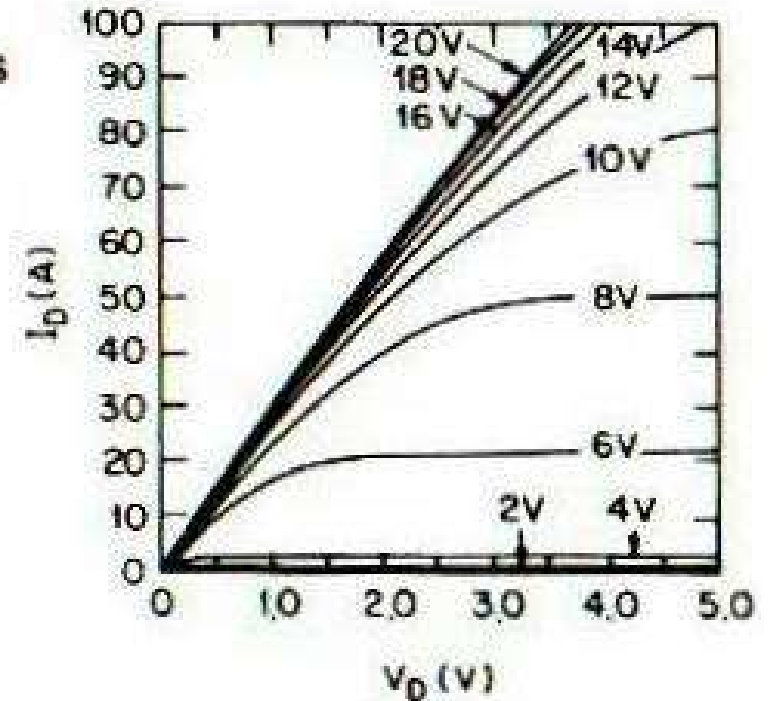
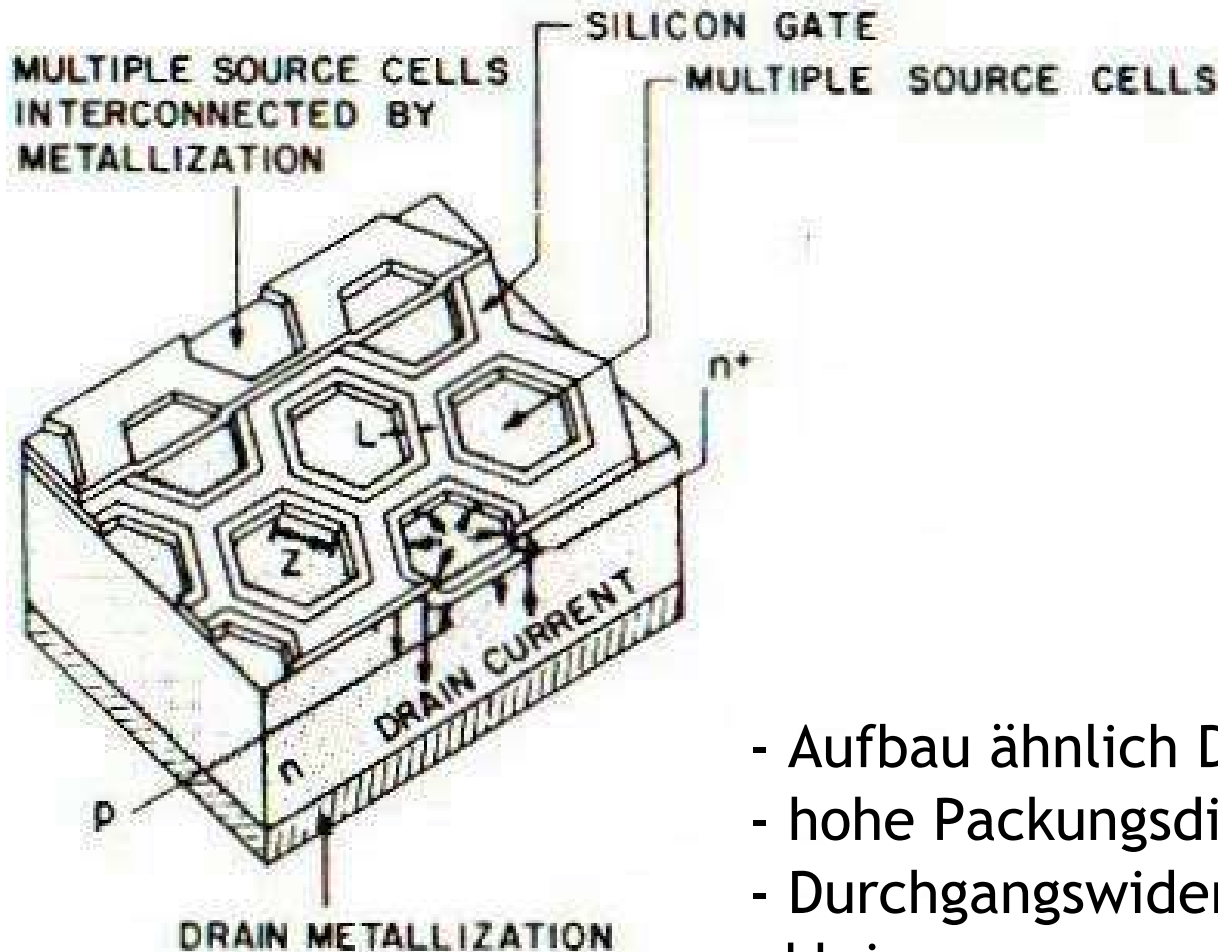
- (a) vertical or V-shaped grooved MOS
(b) U-shaped grooved MOS

- (a)
- Hergestellt auf $\langle 100 \rangle$ -orientierten Silizium-Substraten
 - Dotierungsverteilung wie DMOS
 - gemeinsames Drain an Unterseite



- Vorteile:
- (b) Viele Bauelemente können parallelgeschaltet werden: Geeignet für hohe Ströme und große Leistungen.

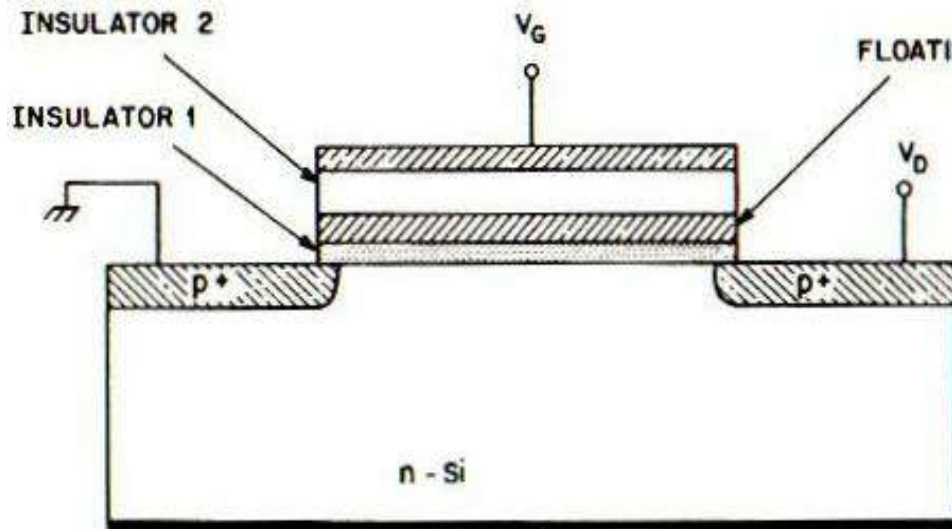
3.4 MOSFET Strukturen - HEXFET



- Aufbau ähnlich DMOS
- hohe Packungsdichte ($\sim 10^5$ hex. Zellen/cm²)
- Durchgangswiderstand (on-resistance) sehr klein
- 100A mit Sättigungsspannungen ähnlich eines Bipolartransistors erreichbar ($R = 0,05\Omega$)

$$R \sim 6NZ/L$$

3.5 Nonvolatile Memory Devices



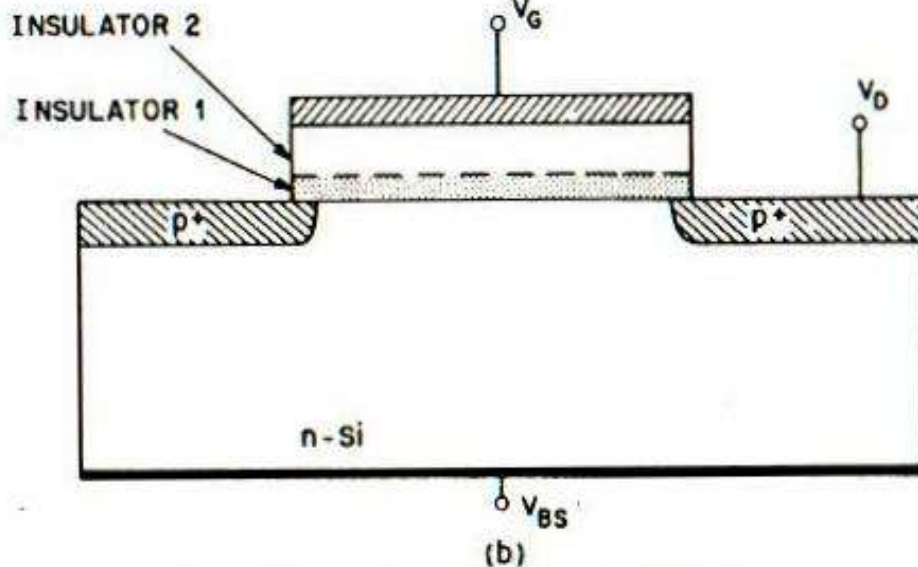
(a) floating-gate NVRAM

(b) MIOS nonvolatile memory
(Metal Insulator Oxid Semic.)

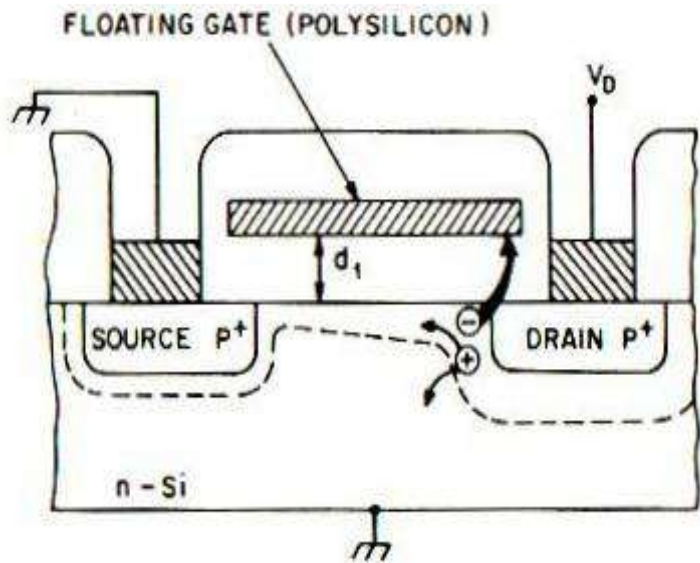
Ladung im Gate bzw. Oxid-Isolatorschicht verschiebt Schwellenspannung - FET ist 'on' oder 'off'

Ladung bleibt bis zu 100 Jahre

Löschen mit Gatespannung oder andere Einflüsse (z.B. UV-Licht)



3.5 Nonvolatile Memory Devices - SAMOS, FAMOS

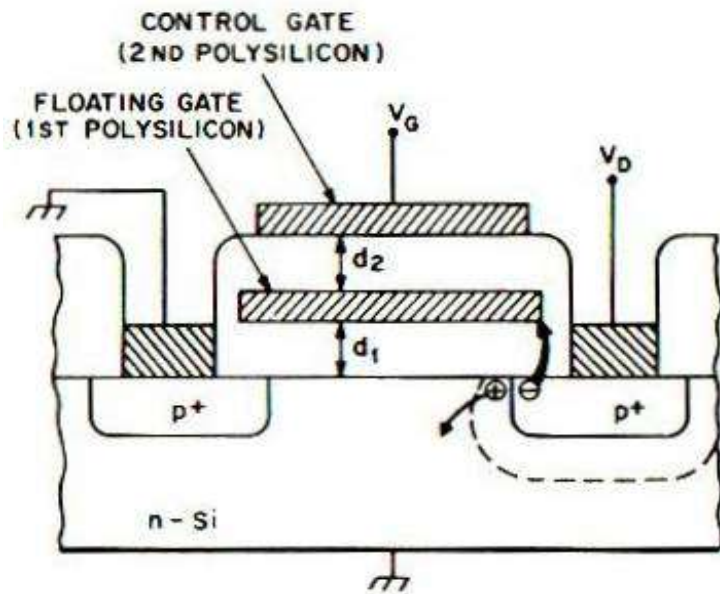


FAMOS

floating-gate avalanche-injection MOS memory

$$d_1 \sim 1000 \text{ \AA}$$

Beschreiben per Lawine von Drain
Löschen mit UV oder x-ray



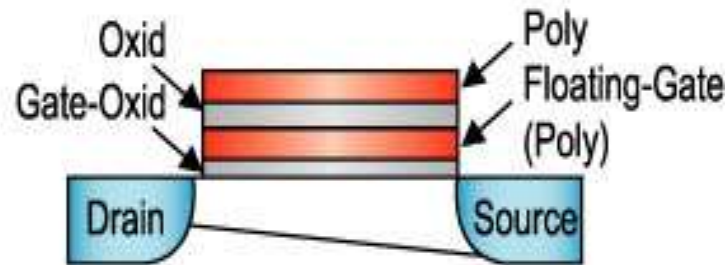
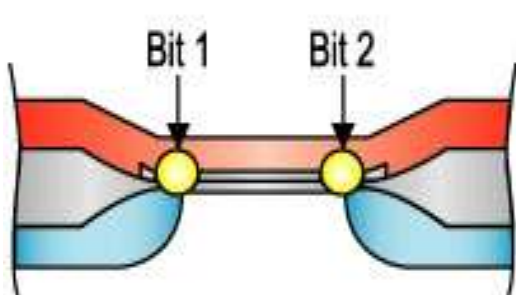
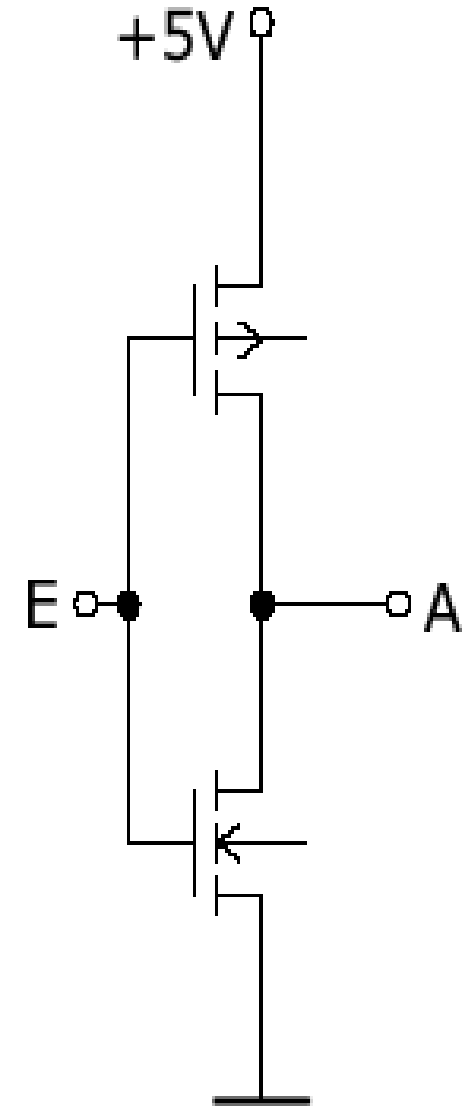
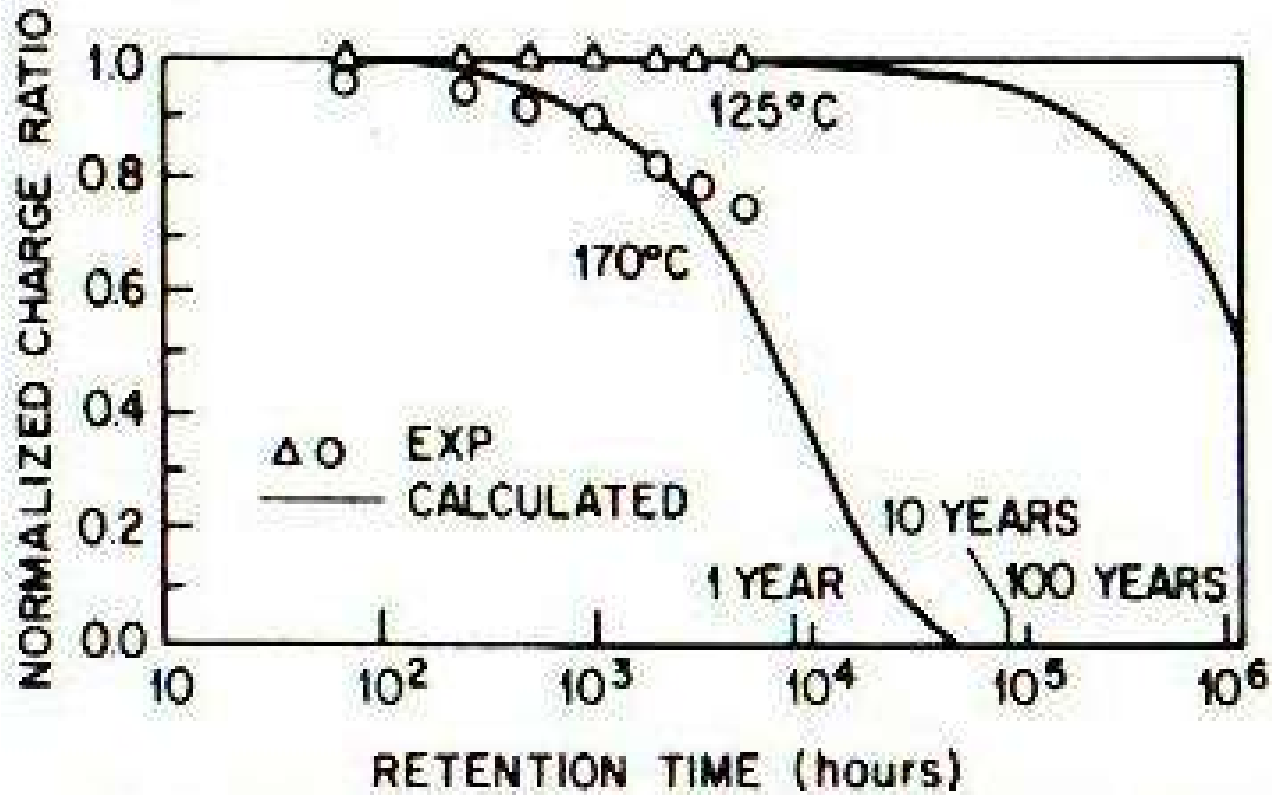
SAMOS

stacked-gate avalanche-injection MOS

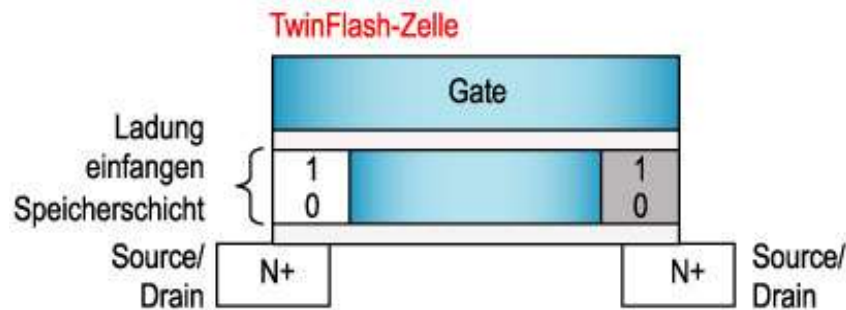
Beschreiben und Löschen elektrisch

$$\Delta V_T \sim V_G \text{ und Schreib/Löschzeit}$$

Flash und Complementary MOS

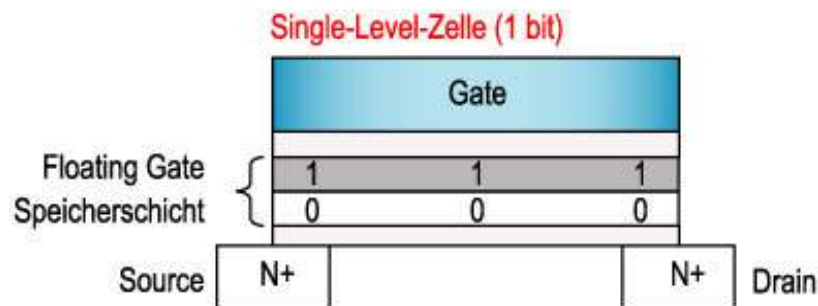


TwinFlash



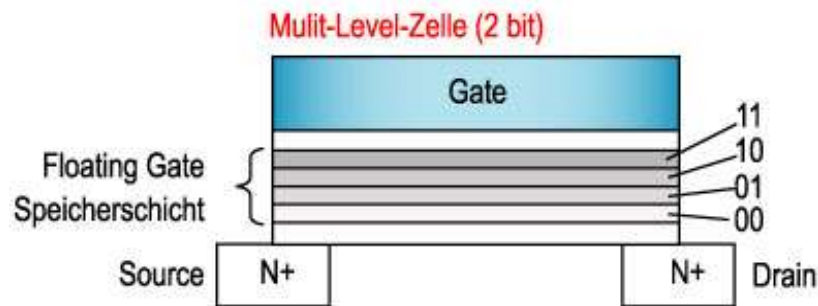
TwinFlash

- 2 bit pro Zelle
- gute Flächenausnutzung
- jedes Bit trifft Standard-Flash-Leistungsfähigkeit
- schnelles Lesen und Programmieren
- Shrink-fähig



Standard-Flash

- 1 bit pro Zelle
- flächenintensiv
- schnelles Lesen und Programmieren
- Shrink-fähig



Multi-Level-Flash

- 2 Pegel pro Zelle
- mittlere Flächenausnutzung
- langsames Lesen und Programmieren
- bedingt Shrink-fähig